

МИНИСТЕРСТВО ВЫСШЕГО И СРЕДНЕГО
СПЕЦИАЛЬНОГО ОБРАЗОВАНИЯ РСФСР

КУЙБЫШЕВСКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
АВИАЦИОННЫЙ ИНСТИТУТ имени С. П. КОРОЛЕВА

ИССЛЕДОВАНИЕ ПАМЯТИ ЭВМ

Лабораторная работа по курсам
«Цифровые вычислительные машины»
и «Электронные вычислительные машины»

КУЙБЫШЕВ 1982

УДК 681.3

Лабораторная работа посвящена исследованию одного из основных устройств ЭВМ — памяти. В теоретической части работы изложены принципы построения и организации машинной памяти. Вторая часть работы содержит описание лабораторного макета и порядок выполнения.

Составители: С. Г. Акимов, В. П. Павлов,
А. П. Федорин

Цель работы — изучение принципов построения и организации машинной памяти.

1. ТЕОРЕТИЧЕСКИЕ ОСНОВЫ РАБОТЫ

Памятью ЭВМ (ГОСТ 15971-74) называется часть ЭВМ, предназначенная для запоминания и выдачи информации. *Функцией памяти* является хранение информации, представленной в кодовой форме, а также прием и выдача информации по запросу. Прием и выдачу информации принято называть терминами *запись* и *считывание*, соответственно. Процесс считывания или записи информации в память называется *обращением* к памяти.

Память ЭВМ строится из *двоичных запоминающих элементов*, каждый из которых обеспечивает хранение одного бита информации. В функциональном и структурном отношениях запоминающие элементы разделяются на ячейки. *Ячейка памяти* — это фиксированная совокупность запоминающих элементов, обращение к которым производится одновременно. Информация, хранимая в одной ячейке, называется *словом памяти*. Слово памяти не обязательно совпадает с машинным словом.

Обычно используется принцип адресного доступа к информации, хранимой в памяти. При этом ячейкам памяти присваиваются номера $0, 1, \dots, E-1$, называемые *адресами* ячеек. Для обращения к определенной ячейке по ее адресу используется схема селекции, выделяющая из множества ячеек памяти одну.

Совокупность ячеек, объединенных схемой селекции, обеспечивающей в каждый момент времени обмен информацией

только с одной ячейкой, называется *запоминающим устройством (ЗУ)*. Совокупность ЗУ, объединенных в одну систему, управляемую процессором, называется *памятью ЭВМ*.

ЗУ может находиться в одном из трех состояний:

- 1) запись информации в ячейку по заданному адресу,
- 2) чтение информации из ячейки с заданным адресом,
- 3) хранение информации.

ЗУ состоит из двух частей — *запоминающей части* и *устройства управления*. Запоминающая часть представляет собой совокупность ячеек. Устройство управления обеспечивает дешифрацию адреса и управление процессом записи и чтения информации при обращении к ячейке с заданным адресом.

По способу обращения ЗУ делятся на *ЗУ с произвольным доступом* к информации и *ЗУ с последовательным доступом*. В ЗУ с произвольным доступом запоминающая часть неподвижна относительно средств записи и чтения. В ЗУ с последовательным доступом запоминающая часть (среда, хранящая информацию) перемещается относительно средств записи и считывания.

Обращение к ЗУ производится за интервал времени, называемый *временем обращения к ЗУ*. Время обращения к ЗУ с произвольным доступом одинаково для всех ячеек памяти. В ЗУ с последовательным доступом время обращения зависит от положения адресуемой ячейки относительно средств записи и считывания.

Для хранения информации в ЗУ используются элементы различной физической природы (различные носители информации). Наиболее широкое применение нашли ферритовые сердечники, полупроводниковые элементы, пленочные элементы.

Основными характеристиками ЗУ являются быстрдействие и емкость. Емкость ЗУ определяется количеством информации, которое одновременно может храниться в ЗУ. *Емкость ЗУ* измеряется числом ячеек памяти (слов памяти) E , каждая из которых может хранить n -разрядное слово. Число слов в памяти обычно кратно двоичной тысяче, равной 1024, поэтому емкость памяти принято измерять килословами KW ($K=1024$, W — word, слово) или в битах: $N = En$, килобитах (1-Мбит = = 1024 Кбит), а также в байтах (1 байт = 8 бит), килобайтах (1 КВ = 1024 байта), мегабайтах (1 МВ = 1024 КВ).

Быстрдействие ЗУ с произвольным доступом характеризуется временем обращения к ЗУ. Время обращения — это минимально возможный интервал времени между двумя сосед-

ними обращениями к ЗУ. При использовании элементов одного типа ЗУ меньшей емкости имеет более высокое быстродействие, чем ЗУ большей емкости.

В зависимости от способа размещения и поиска информации различают ЗУ адресные и безадресные. Безадресные ЗУ принято разделять на ассоциативные и стековые (магазинные) ЗУ.

В ЗУ с адресной организацией размещение и поиск информации в запоминающей части основаны на дешифрации адреса ячейки, к которой производится обращение. Типичная структура ЗУ с адресной организацией представлена на рис. 1.

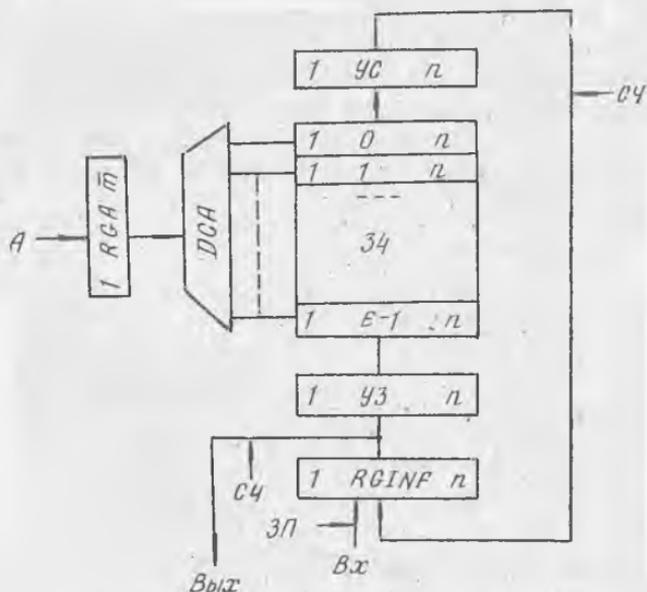


Рис. 1. Структура ЗУ с адресной ориентацией

Здесь ЗУ — запоминающая часть, состоящая из $E \cdot n$ — разрядных ячеек; RGA — m — разрядный $m = \log_2 E_c$ регистр адреса для хранения адреса A ; DCA — дешифратор адреса на m входов и $E = 2^m$ — выходов; УС, УЗ — усилители считывания и записи, соответственно, RGINF — регистр для приема и временного хранения слова информации; ВХ, ВЫХ — входная и выходная шины, СЧ, ЗП — операции считывания и записи, выполняемые в ЗУ. По принципу адресной организации построена основная (оперативная) память ЭВМ.

В запоминающем устройстве выполняются только две операции — запись и считывание. Для записи информации на *RGINF* заносится слово информации, а на *RGA* — адрес *A* и посылается сигнал записи ЗП. В случае считывания на *RGA* заносится адрес *A* и посылается сигнал СЧ. Копия слова из ячейки с адресом *A* считывается на *RGINF*. Считывание информации в ЗУ некоторых типов (например, ферритовых ЗУ), происходит с разрушением информации. Поэтому в таких ЗУ в цикле чтения предусмотрено восстановление (регенерация) информации путем записи слова из *RGINF* в ту ячейку *A*, из которой производилось считывание.

В безадресных ассоциативных ЗУ поиск информации осуществляется не по адресу, а по значению ассоциативного признака, характеризующего информацию. Поиск по ассоциативному признаку происходит одновременно для всех ячеек ЗУ параллельно по всем разрядам ассоциативного признака, или поразрядно, т. е. последовательно, разряд за разрядом.

Типичная структура ассоциативного ЗУ представлена на рис. 2.

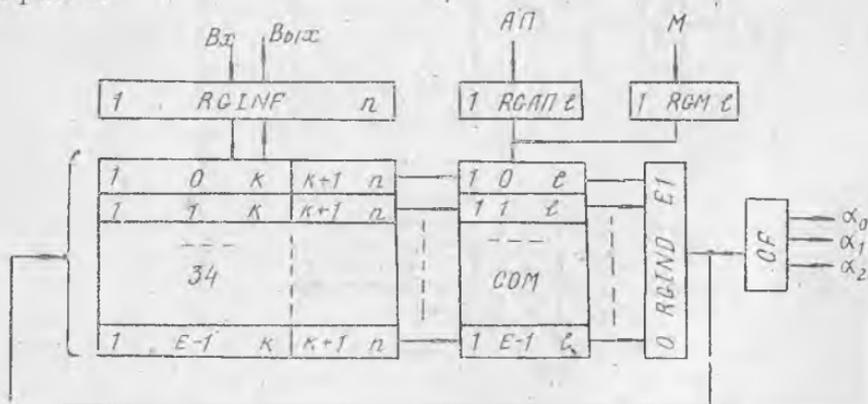


Рис. 2. Структура ассоциативного ЗУ

Здесь ячейки запоминающей части разделены на 2 поля. Левые поля длиной k разрядов образуют запоминающий массив для хранения основной информации. Правые поля ячеек (разряды с $k+1$ по n) используются для хранения ассоциативных признаков и образуют массив признаков. *СОМ* — l -разрядные, $l \leq n-k$ схемы сравнения ассоциативного признака *АП*, хранимого на регистре *АП* (*RGАП*), с ассоциативными признаками всех E слов информации, хранимой в памяти, *RGМ* — регистр маски, *RGIND* — регистр индикации факта

сравнения ассоциативных признаков. CF — схема формирования признаков $\alpha_0, \alpha_1, \alpha_2$.

При обращении к ассоциативному ЗУ поиск информации осуществляется следующим образом. На $RGAP$ заносится ассоциативный признак АП, по которому производится поиск информации. На регистр маски RGM устанавливается код маски M . Незамаскированные разряды ($RGM(i) = 1$) ассоциативного признака с $RGAP$ одновременно сравниваются со всеми ассоциативными признаками информации, хранимой в памяти. Сравнение производится одновременно по всем l разрядам признака, если $l = n - k$, и последовательно, разряд за разрядом, если $l = 1$, т. е. если в COM используются одноразрядные схемы сравнения. Для слов информации, ассоциативные признаки которых совпали с незамаскированными разрядами признака АП, вырабатываются однобитные признаки, равные 1, которые фиксируются в $RGIND$ и указывают на факт сравнения.

В случае, если все разряды $RGIND$ равны нулю, т. е. если в памяти нет искомой информации, схемой CF вырабатывается признак $\alpha_0 = 1$. Признак $\alpha_1 = 1$ соответствует наличию одного слова информации, удовлетворяющего АП. Признак $\alpha_2 = 1$ соответствует наличию более чем одного такого слова.

Формирование признаков $\alpha_0, \alpha_1, \alpha_2$ путем сравнения АП с ассоциативными признаками хранимой в памяти информации принято называть *операцией контроля ассоциации*. Эта операция является общей частью операций записи и считывания информации, а также имеет и самостоятельное значение.

При выполнении операции считывания сначала выполняется операция контроля ассоциации по признаку АП, результатом которой являются признаки $\alpha_0, \alpha_1, \alpha_2$. В случае $\alpha_0 = 1$ операция считывания на этом заканчивается из-за отсутствия искомой информации. При $\alpha_1 = 1$ найденное слово считывается на $RGINF$. При $\alpha_2 = 1$ на $RGINF$ поочередно считываются слова, начиная с ячейки, имеющей наименьший номер среди ячеек, отмеченных 1 в $RGIND$.

При записи сначала отыскивается свободная ячейка. Для указания занятости ячейки памяти используется n -й разряд поля признаков (0 — ячейка свободна, 1 — в ячейке записано слово). Для отыскания свободной ячейки выполняется операция контроля ассоциии. При этом в $RGAP$ засылается код АП = 11...10, а в регистр маски RGM — код маски $M = 00...01$. В результате все свободные ячейки памяти будут отмечены 1 в $RGIND$. Для записи выбирается свободная ячейка с наи-

меньшим номером, в которую записывается слово из *RGINF*.

Посредством операции-контроля ассоциации можно, не считывая информации из памяти, выполнить некоторые запросы, например: сколько слов информации, хранимых в памяти, отмечены одинаковым ассоциативным признаком?

В ассоциативной памяти могут выполняться такие операции, как поиск *max* (*min*), поиск слов, заключенных в определенных границах и др. Для выполнения указанных операций используются специальные комбинационные схемы.

Следует отметить, что в ассоциативной памяти можно использовать только запоминающие элементы, при считывании информации из которых, последняя не разрушается.

Стековые (магазинные) ЗУ. В адресных и ассоциативных ЗУ можно обращаться к любой ячейке в любой момент времени. В стековых ЗУ в каждый момент времени доступна только одна ячейка, называемая вершиной стека. Стековая память организована по принципу последним прибыл, первым выбыл. По этому принципу работают магазины пистолетов-автоматов. При зарядке магазина каждый вводимый патрон проталкивает введенные до него патроны в глубь магазина, становясь на ближайшее к выходу место так, что первым выстреливается патрон, введенный в магазин последним. Стековая (магазинная) память ЭВМ работает совершенно аналогично, но вместо патронов в нее вводятся слова, а вместо выстрелов извлекают слова для использования в качестве операндов. Такие стеки (магазины) обычно реализуют на основе сдвигающих регистров, слова в которых сдвигаются, как патроны в магазинах пистолетов-автоматов.

Однако технически стековая память организуется наиболее просто, если слова в ней не сдвигаются, а сидят каждое в той ячейке, в которую оно попало при вводе в стек. Вместо сдвига слов используется модифицируемый *указатель стека* — регистр-счетчик, содержащий адрес ячейки, в которой находится слово, последним поступившее в стек. Эта указываемая указателем стека ячейка называется *вершиной стека*. При каждом занесении слова в стек сначала производится увеличение на единицу указателя стека, т. е. формирование адреса первой свободной ячейки стека, а затем поступающее в стек слово записывается в эту ячейку.

При чтении слова из стека оно выбирается из ячейки — вершины стека, а затем указатель стека уменьшается на единицу. Вершиной стека становится ячейка, ранее располагав-

шаяся под вершиной, а прежняя вершина становится первой незанятой ячейкой.

Структура стековой (магазинной) памяти представлена на рис. 3. Здесь УСг — указатель стека; ДСА — дешифратор ад-

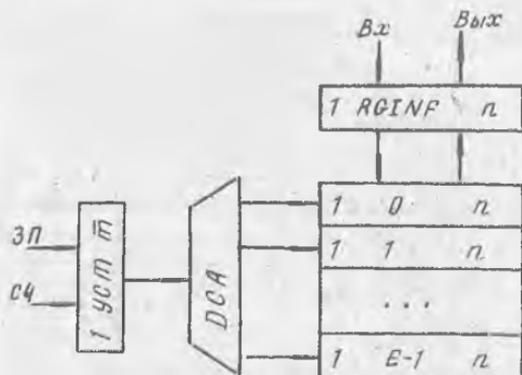


Рис. 3. Структура стековой (магазинной) памяти

реса, задаваемого указателем стека.

Засылая в указатель стека то или иное начальное значение, можно располагать стек в произвольно выбранной области основной памяти. Стековая организация памяти применяется при обращении к подпрограммам, при организации очередей и т. п.

В настоящей лабораторной работе предлагается исследовать ЗУ различных типов — адресные, ассоциативные и стековые, построенные на основе полупроводниковых запоминающих элементов. Полупроводниковые ЗУ выполняются в виде интегральной микросхемы, имеющей структуру, представленную на рис. 4. Здесь для определенности изображена структура ЗУ емкостью 16 слов, каждое из которых имеет длину 1 бит (16×1). Для чтения информации необходимо задать адрес ячейки и подать синхронизирующий сигнал выбора кристалла (ВК). В отсутствие сигнала ВК ЗУ находится в режиме хранения информации и обращение к ЗУ невозможно. Операция записи производится путем подачи слова информации на входную шину (Вх) схемы управления (СУ), адреса — на входы дешифраторов ДСХ, ДСУ и сигналов записи Зп и синхронизации ВК. УСЗ — усилитель считывания, записи.

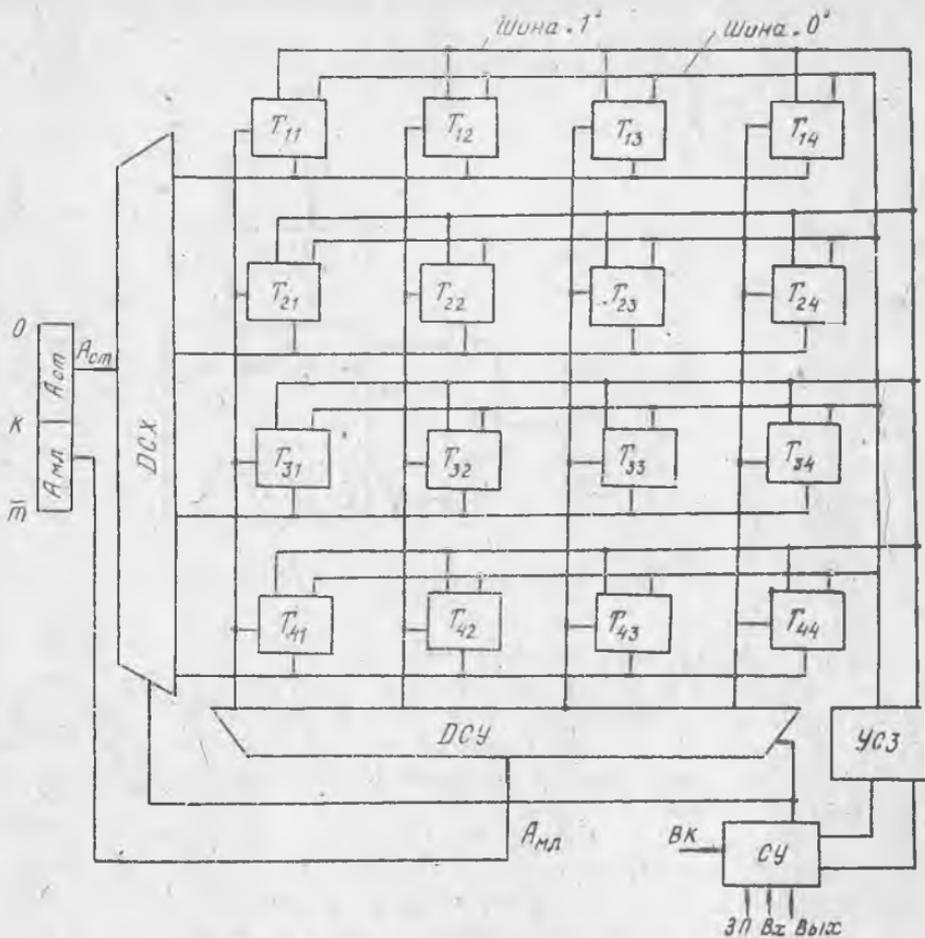


Рис. 4. Структура полупроводникового ЗУ

Временные диаграммы циклов записи и чтения приведены на рис. 5. Время дешифрации адреса превышает время прохождения сигнала ВК по цепям схемы, поэтому адрес А подается на входы дешифратора раньше сигнала ВК на время t_1 (см. рис. 5). Кроме того, сигнал ВК снимается раньше адреса, т. е. сигнал ВК выполняет роль сигнала синхронизации ЗУ. При выполнении операции записи сигнал разрешения записи ЗП подается с задержкой t_2 по отношению к моменту подачи адреса, величина которой определяется задержкой дешифрации адреса и прохождением сигнала ВК по цепям схемы. Сигнал ЗП

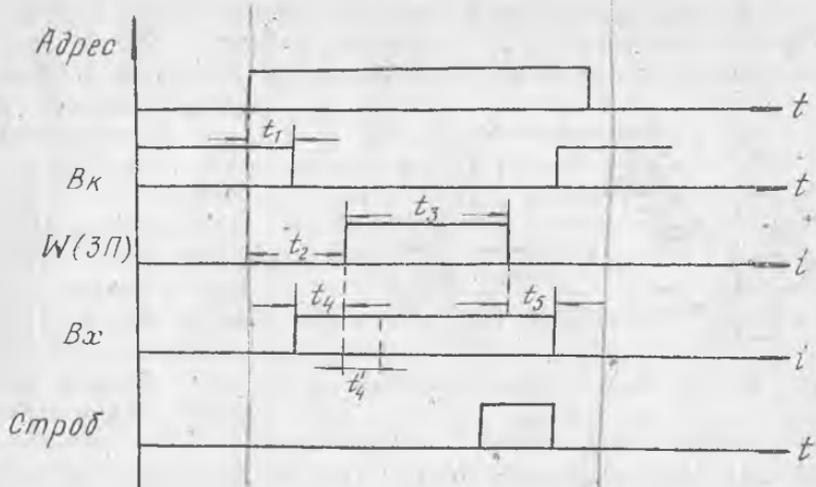


Рис. 5. Временные диаграммы циклов записи и считывания

выполняет роль сигнала синхронизации по отношению к сигналу, поступающему на информационный вход ВХ. Поэтому сигнал ВХ начинается раньше* (t_4) и заканчивается позже (t_5) сигнала ЗП. Длительность сигнала ЗП t_3 определяется временем, затрачиваемым на запись информации в триггер, задаваемый адресом А, и для используемых в макете ЗУ типа К 527 РУ1 должна быть не менее 400 Нс.

При считывании информации шина Вых синхронизируется сигналом строб, расположенным в конце интервала задаваемого сигналом ВК.

Следует отметить, что в настоящее время емкость полупроводниковых ЗУ, выполненных на одном кристалле, в силу ограничений технологического порядка невелика — достигает нескольких тысяч бит. Поэтому встает задача построения ЗУ заданной емкости E и разрядности слова n из микросхем ЗУ ограниченной емкости. Эта задача решается следующим образом. Для построения ЗУ с n -разрядными ячейками (словами) берется n кристаллов (микросхем), информационные выходы которых подаются на $RGINF$ ЗУ. На адресные выводы всех кристаллов подается адрес с $RG\dot{A}$ ЗУ. Пусть для определенности емкость кристалла 256×1 и требуется построить ЗУ емкостью 256 четырехразрядных слов. Структура такого

* В некоторых сериях БИС памяти, в частности К527РМ1, сигнал ВХ должен начинаться позже сигнала ЗП на $t'_4 = 0 \dots 500$ нс.

ЗУ представлена на рис. 6, где адрес имеет длину $\log_2 256 = 8$ разрядов. Построение ЗУ большей емкости рассмотрим на примере. Пусть требуется построить ЗУ емкостью 1024 четырехразрядного слова. Для адресации ЗУ такой емкости потребуется адрес длиной $\log_2 1024 = 10$ бит. Этот адрес делится на 2 поля. Поле $A(8:1)$, состоящее из младших восьми разрядов, используется

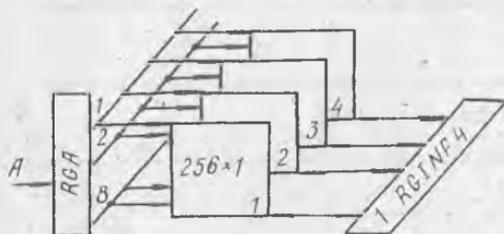


Рис. 6. Структура ЗУ емкостью 256×4 бит

для адресации всех микросхем ЗУ емкостью 256×1 . Двухразрядное поле $A(10:9)$ декодируется дешиф-

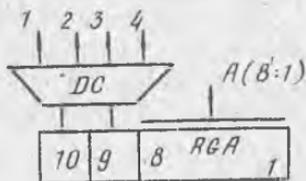
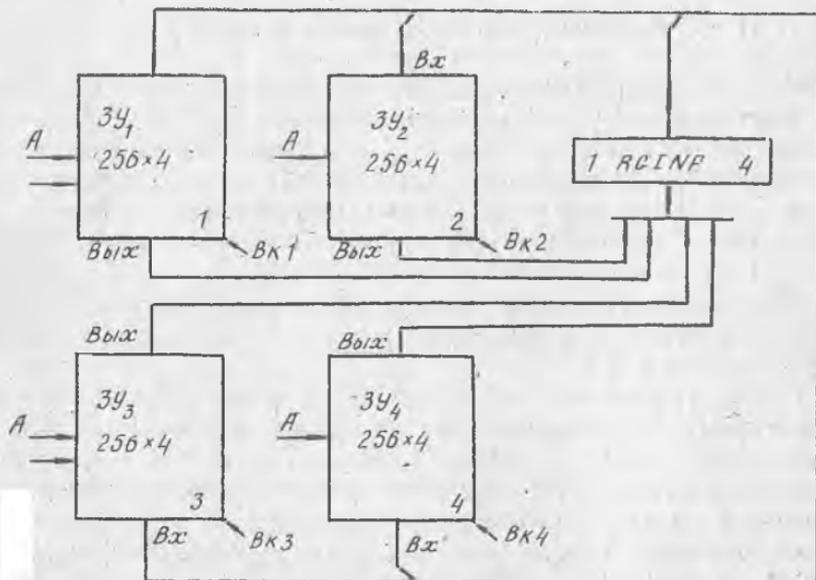


Рис. 7. Структура ЗУ емкостью 1024×4 бит

ратором ДС и используется для управления выбором одного из 4-х ЗУ емкостью 256×4 бит. Для этого выходы ДС подключаются к шинам выбора кристалла ВК соответственно ЗУ1, ЗУ2, ЗУ3, ЗУ4 (рис. 7).

Следует отметить, что полупроводниковые ЗУ, по сравнению с ЗУ на основе магнитных материалов, обладают следующими достоинствами: высокое быстродействие, компактность, единая технология, общая с другими устройствами ЭВМ. Недостатки: энергозависимость, т. е. потеря информации при отключении питания, и потребление энергии в режиме хранения. Сохранение информации при отключении питания обеспечивается за счет питания от батарей.

2. ОПИСАНИЕ ЛАБОРАТОРНОГО МАКЕТА

В лабораторном макете исследуемые ЗУ построены на основе полупроводниковых БИС памяти типа К527 РУ1 емкостью 64×1 бит. Микросхема К527 РУ1 (рис. 8) состоит из де-

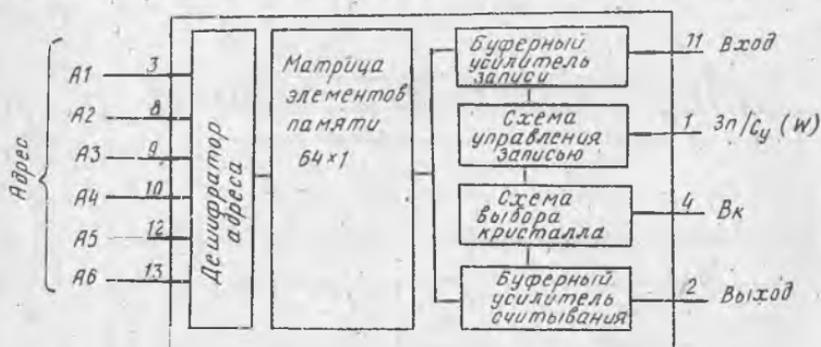


Рис. 8. Структура ЗУ типа К527 РУ1

шифратора адреса, матрицы запоминающих элементов (триггеров), усилителей записи и считывания, схемы управления записью и выбора кристалла. На основе четырех микросхем могут быть построены ЗУ различных типов: адресные, ассоциативные, стековые.

Структура лабораторной установки (рис. 9) представлена на лицевой панели макета. Здесь входной регистр служит для задания слова информации, подлежащего записи в ЗУ. Выходной регистр служит для индикации слова информации, извлекаемого из памяти при чтении. Регистр признаков и уст-

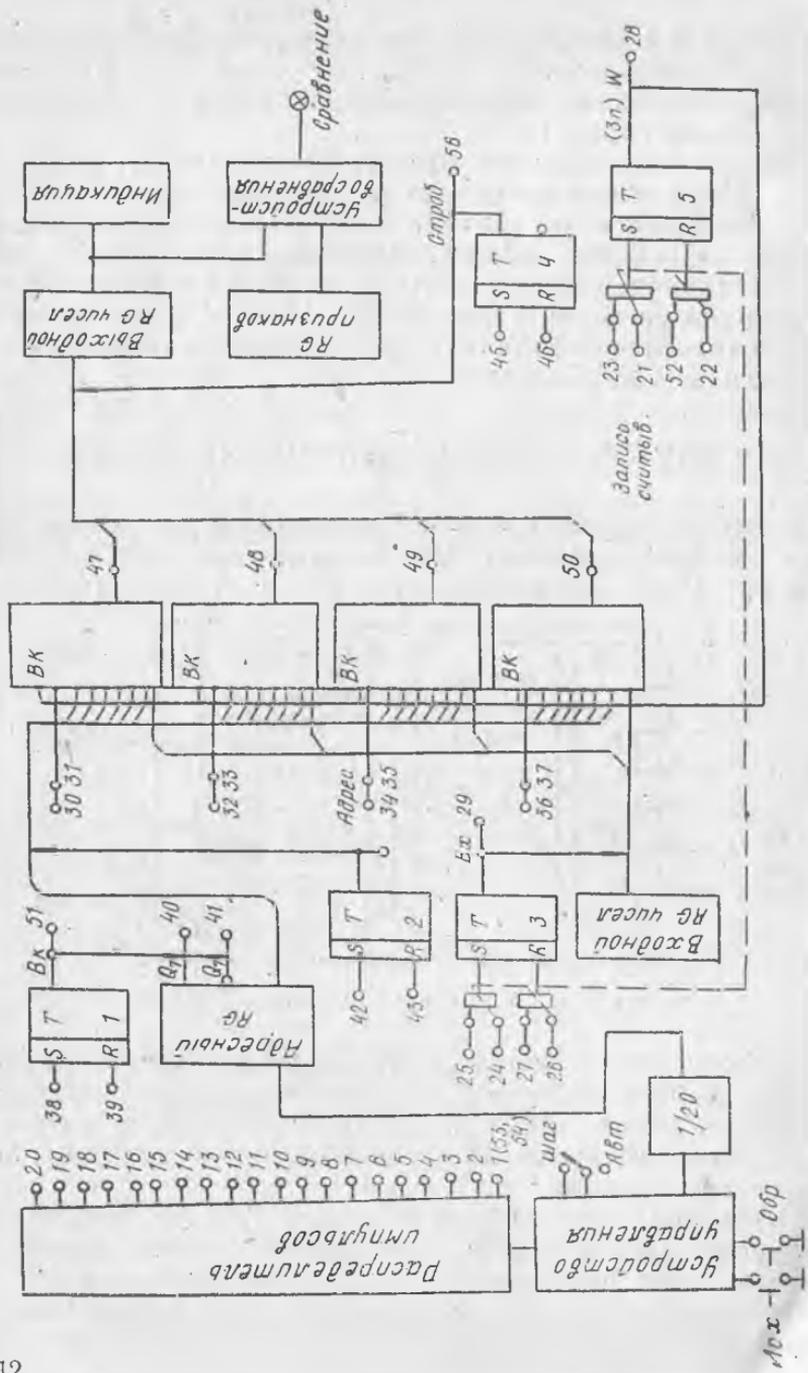


Рис. 9. Структура макета

ройство сравнения используются для организации ассоциативного ЗУ. Адресный регистр служит для задания адреса ячейки ЗУ. Триггеры управления ВК, Адрес, Вход, W (ЗП), строб служат для формирования управляющих сигналов в соответствии с временной диаграммой (см. рис. 5). Сигналы, с помощью которых триггеры управления устанавливаются в нужное состояние, вырабатываются распределителем импульсов, обеспечивающим формирование сдвинутых друг относительно друга 20-ти сигналов. Необходимая для выполнения операций записи и чтения последовательность управляющих сигналов: Адрес, ВК, W (ЗП), Вх, строб—обеспечивается соответствующей коммутацией гнезд распределителя импульсов и входов управляющих триггеров. Коммутация осуществляется с помощью проводников на наборном поле, гнезда которого пронумерованы в соответствии с блок-схемой макета (см. рис. 9).

Для управления работой макета служат следующие кнопки и тумблеры. Кнопка исходное положение «Исх.» служит для сброса адресного регистра в нуль. Тумблер «шаг-автомат» служит для задания режима работы — шагового или автоматического. В шаговом режиме при каждом нажатии кнопки «Обр.» осуществляется либо одна операция записи, либо одна операция чтения информации из ЗУ, в зависимости от положения переключателя «запись-считывание». В автоматическом режиме после нажатия кнопки «Обр.» осуществляется многократное выполнение указанных операций.

Адресный регистр представляет собой семиразрядный реверсивный счетчик, значение которого автоматически увеличивается на единицу в режиме записи и уменьшается на единицу в режиме чтения при каждом обращении к памяти. Адрес набирается с помощью тумблерного регистра адреса и заносится в регистр адреса с помощью кнопки «запись». Старший разряд Q регистра адреса выведен на лицевую панель (гнезда 40, 41) и может быть использован для организации памяти емкостью 64 или 128 слов. Такая организация регистра адреса позволяет использовать его в качестве указателя стека в стековом ЗУ.

Для исследования ЗУ ассоциативного типа в макете используется регистр признаков и схема сравнения. С целью упрощения схемы макета исследование проводится с помощью одной схемы сравнения, что позволяет выполнять операцию контроля ассоциации только последовательно во времени, в отличие от реальных ассоциативных ЗУ, в которых сравнение осуществляется одновременно для всех ячеек ЗУ.

3. ПОРЯДОК ВЫПОЛНЕНИЯ РАБОТЫ

1. Исследовать работу адресного ЗУ емкостью 64 четырех-разрядных слова. Для этого необходимо коммутацией гнезд распределителя импульсов и входов управляющих триггеров обеспечить режимы записи и чтения. Проверить работоспособность ЗУ путем записи и чтения заданной информации в ячейки с заданными адресами в шаговом режиме. Снять осциллограммы сигналов управления в автоматическом режиме.

2. Организовать адресные ЗУ емкостью 128 слов разрядностью 2 бита. Проверить его работоспособность.

3. Исследовать ЗУ стекового типа. С этой целью организовать стек заданного объема в заданном участке адресного ЗУ емкостью 64 слова. Проверить правильность занесения и выдачи слов информации в шаговом режиме.

4. Исследовать ЗУ ассоциативного типа емкостного 64 слова путем определения адреса (адресов) слова (слов) информации с заданным значением ассоциативного признака.

4. СОДЕРЖАНИЕ ОТЧЕТА

1. Структурные схемы ЗУ различных типов.
2. Временные диаграммы работы адресного ЗУ.

5. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Понятия «запоминающий элемент», «ячейка памяти», «запоминающее устройство».
2. Принципы организации адресного ЗУ.
3. Принципы организации стековой памяти.
4. Принципы организации ассоциативной памяти.
5. Основные характеристики ЗУ.
6. Достоинства и недостатки полупроводниковых интегральных ЗУ.
7. Принципы построения полупроводниковых ЗУ заданной емкости из микросхем ограниченной емкости.
8. Связь длины адреса с емкостью памяти.
9. Назначение признаков α_0 , α_1 , α_2 в ЗУ ассоциативного типа.
10. Области применения ЗУ различных типов.
11. Сравнение ЗУ различных типов.

ЛИТЕРАТУРА

1. *Каган Б. М.* Электронные вычислительные машины и системы. — М.: Энергия, 1979 г.
2. *Шигин А. Г., Дерюгин А. А.* Цифровые вычислительные машины. Память ЦВМ. — М.: Энергия, 1976.

Составители: *Сергей Григорьевич Акимов,*
Владимир Павлович Павлов,
Александр Петрович Федорин

ИССЛЕДОВАНИЕ ПАМЯТИ ЭВМ

Лабораторная работа по курсам
«Цифровые вычислительные машины»
и «Электронные вычислительные машины»

Редактор Н. В. Касаткина .
Техн. редактор Н. М. Каленюк
Корректор С. С. Рубан

Сдано в набор 4.01.82 г. Подписано в печать 11.02.82 г.
Формат 60×84 1/16. Бумага оберточная белая. Печать высокая.
Гарнитура литературная. Усл. п. л. 0,93. Уч.-изд. л. 0,86.
Тираж 250 экз. Заказ № 22' Бесплатно.

Куйбышевский ордена Трудового Красного Знамени авиационный институт
имени С. П. Королева, г. Куйбышев, ул. Молодогвардейская, 151