

ГОСУДАРСТВЕННЫЙ КОМИТЕТ РОССИЙСКОЙ ФЕДЕРАЦИИ
ПО ВЫСШЕМУ ОБРАЗОВАНИЮ
САМАРСКИЙ ГОСУДАРСТВЕННЫЙ АЭРОКОСМИЧЕСКИЙ
УНИВЕРСИТЕТ ИМ. АКАДЕМИКА С. П. КОРОЛЕВА

**ИССЛЕДОВАНИЕ
ПРИНЦИПОВ ОРГАНИЗАЦИИ
ПРОГРАММИРУЕМЫХ БИС**

*Методические указания
к лабораторным работам*

- САМАРА 1996

Составитель *В. Г. Иоффе*

УДК 681.3

Исследование принципов организации программируемых БИС:
Метод. указания к лабораторным работам /Самар. гос. аэрокосм.
ун-т.; Сост. *В. Г. Иоффе*. Самара, 1996. 16 с.

Методические указания посвящены изучению принципов взаимодействия программируемых БИС с микропроцессорной системой. В качестве примера рассмотрены особенности организации и применения параллельного адаптера КР580ВВ55 и программируемого таймера КР580ВИ53.

Предназначены для студентов, изучающих курс "Схемотехника, ЭВМ, микропроцессоры". Составлены на кафедре "Информационные системы и технологии".

Печатаются по решению редакционно-издательского совета Самарского государственного аэрокосмического университета имени академика С. П. Королева

Рецензент доц., канд. техн. наук *В. А. Глазун* в

Ц е л ь р а б о т ы: изучение принципов организации программируемых БИС и особенностей взаимодействия с микропроцессорными устройствами на примере программируемого параллельного адаптера КР580ВВ55 и программируемого таймера КР580ВИ53.

1. ОБОБЩЕННАЯ СТРУКТУРА ПРОГРАММИРУЕМОЙ БИС

Ввод-вывод информации с периферийных устройств (ПУ) в микропроцессорное устройство (МПУ) осуществляется с помощью программируемых БИС, входящих в состав микропроцессорных комплектов (МПК). Обобщенная структура МПУ приведена в работе [1]. Основной поток информации между ПУ и МПУ поступает через блок связи с устройствами ввода-вывода (БСУ). Элементная база БСУ определяется типом МПК и полнотой комплекта. Наиболее типовыми БИС, входящими в состав БСУ, являются программируемый параллельный адаптер (ППА), программируемый адаптер последовательного интерфейса (ПАПИ), программируемый таймер (ПТ), программируемый контроллер прерываний (ПКП), программируемый контроллер прямого доступа к памяти (ПКПДП) и т. д.

Анализ структурной организации этих схем показывает, что обобщенная структура программируемой БИС может быть представлена в виде, изображенном на рис. 1.

Функциональный блок ФВ определяется назначением БИС. Например, в ППА это порты параллельного обмена, в ПАПИ -- порты последовательного обмена и средства синхронизации, в ПКП -- регистр приема запросов и средства формирования вектора прерываний и т. д.

Выход на внутренний интерфейс МПУ осуществляется через двунаправленный восьмиразрядный буфер с тремя состояниями ВД. Основные функции по управлению работой БИС реализуются в блоке управления ВУ. Направление передачи данных через ВД определяется сигналами записи -WR, чтения -RD. В зависимости от способа обращения к БИС на эти входы могут подаваться

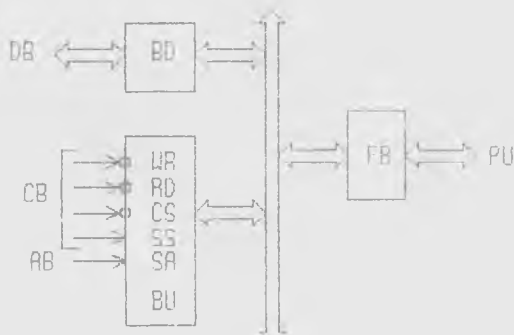


Рис.1. Обобщенная структура программируемой БИС

сигналы записи-чтения внешних устройств -I/OW, -I/OR или памяти -MEMW, -MEMR.

Разрешение работы BD формируется отрицательным сигналом, поступающим на вход выборки БИС -CS. Обращение к программно-доступным регистрам БИС задается значением сигналов, поступающих на вход шины субадреса SA. Как правило, в качестве SA используются младшие разряды шины адреса A0, A1. В некоторых БИС возникает необходимость подачи системных сигналов SS, к числу которых относятся сброс RES, частота синхронизации и т. д. Схема соединения программируемой БИС с МПУ очевидна из рис.1, где DB — шина данных, AB — шина адреса, CB — шина управления, PU — периферийное устройство.

При работе с восьмиразрядными микропроцессорами (K580BM80, K1821BM85, K1810BM88, K1816BE51 и т. д.) разрядность шины данных БИС совпадает с разрядностью BD. В микропроцессорных устройствах на базе K1810BM86 в целях повышения быстродействия возможно присоединение двух параллельно работающих контроллеров, например ППА, к шестнадцатиразрядной шине DB. Управление выборкой буфера данных выполняется сигналами A0, -VNE, формируемыми микропроцессором [2, рис.4.7].

Для включения программируемых БИС в микропроцессорную систему необходимо определить их адреса в адресном пространстве памяти или внешних устройств, написать программу инициализации, задающую требуемый режим работы, и рабочую программу, обеспечивающую доступ к программно-доступным регистрам БИС.

2. ПРОГРАММИРУЕМЫЙ ПАРАЛЛЕЛЬНЫЙ АДАПТЕР КР580ВВ55

Программируемый параллельный адаптер ППА является программно-управляемой БИС, предназначенной для организации параллельного обмена восьмиразрядным кодом с периферийными устройствами. ППА может реализовывать программный ввод-вывод под управлением микропроцессора и ввод-вывод по прерыванию. Режим работы ППА задается соответствующей программой инициализации. Это позволяет его использовать в качестве универсальной интерфейсной БИС, функции которой могут быть изменены программным способом.

ППА используется для организации шинных мультиплексоров, демультимплексоров, обеспечивающих обмен информацией с шиной данных МПУ, ввода-вывода дискретной информации, формирования сигналов управления и их анализа.

Структурная схема ППА приведена в работе [2, рис.1.6]. Подключение периферийных устройств производится через три двунаправленных восьмиразрядных порта RA, RB, RC, каждый из которых может быть настроен на требуемый режим и направление передачи. Обмен информацией между портами ППА и шиной данных МПУ осуществляется через буфер данных аналогично рассмотренному выше. Шина субадреса образована разрядами A0, A1. Адреса программно-доступных регистров приведены в работе [2, табл.1.1]. Программная модель ППА отражена в работе [2, рис.1.11]. Установка ППА в начальное состояние производится сигналом системного сброса RES, который обнуляет регистр управления, а внешние шины портов переводит в третье состояние.

Режим работы портов определяет управляющее слово, формат которого приведен в работе [2, рис.1.10]. Инициализация ППА осуществляется следующей процедурой:

```
MVI A, UC  
OUT RC,
```

где UC — значение управляющего слова, RC — адрес регистра UC.

Порты ППА могут работать в одном из трех режимов.

Режим 0 используется для организации однонаправленного синхронного или асинхронного обмена. В этом режиме направление передачи определяется отдельно для каждого порта. Особен-

ностью порта РС является возможность его разделения на два независимых четырехразрядных порта РС0-РС3 и РС4-РС7. Режим 0 обеспечивает максимальное количество линий ввода-вывода (24), которые могут быть организованы как два восьмиразрядных порта и два четырехразрядных.

При вводе информации командой IN текущее состояние входных линий передается в аккумулятор микропроцессора без запоминания во внутренних регистрах ППА, а при выводе — данные фиксируются во внутренних регистрах до прихода очередной команды OUT. Поэтому существует ограничение на длительность входных сигналов, которая должна превышать время выполнения команды IN.

На основе режима 0 можно реализовать программным способом асинхронный ввод-вывод и ввод-вывод по прерыванию.

Режим 0 обычно используют для выполнения быстрых синхронных передач, организации шинных мультиплексоров/демультиплексоров, формирования управляющих сигналов, приема дискретных сигналов, организации взаимодействия с цифро-аналоговыми (ЦАП) и аналого-цифровыми преобразователями (АЦП).

Организацию асинхронного обмена рассмотрим на примере решения следующей задачи: выполнить передачу информации из устройства УВВ1 в УВВ2. Начало обмена задается микропроцессорным устройством, формирующим положительный импульс STB. Сигнал готовности READY формируют УВВ. Адрес порта - 54H. РА настраивается на ввод информации, РВ — на вывод, РС0-РС3 — на ввод. РС4-РС7 — на вывод. Схема соединения ППА и УВВ приведена в работе [2, рис.1.12]. Для этой конфигурации режимное слово - 91H. Программа имеет следующий вид:

MVI A,91H;	инициализация
OUT 57H	
SUB A;	сброс STB
OUT 56H	
MVI A, 50H;	установка STB
OUT 56H	
M1: IN 56H;	проверка готовности УВВ1
ANI 04H	
JZ M1	
IN 54H;	ввод данных
MOV B,A	
MVI A,10,	сброс STB1
OUT 56H	

```
M2: IN 56H;   проверка готовности УВВ2
      ANI 01H
      JZ M2
      MOV B, A; вывод данных
      OUT 55H
      SUB A;   сброс STB2
      OUT 56H
```

Режим 1 предназначен для организации однонаправленного асинхронного программного обмена или ввода-вывода по прерыванию. Передача данных осуществляется через порты PA и PB, а шесть линий PC используются для приема и формирования сигналов, сопровождающих обмен. Оставшиеся две линии PC могут использоваться как на ввод, так и на вывод. Каждый из разрядов порта C имеет строго определенное функциональное назначение [2, рис.1.13-1.16]. Чтение слова состояния режима 1 осуществляется командой IN PC. Запись информации в порт может быть выполнена командой OUT PC или дополнительной командой управления, позволяющей устанавливать требуемое значение заданного бита PC [2, рис.1.15]. Временные диаграммы ввода-вывода представлены в работе [2, рис.1.13, 1.14].

При вводе информации инициатором обмена является периферийное устройство, которое формирует отрицательный импульс - STB. В отличие от режима 0 данные запоминаются во внутреннем буфере порта, и формируется выходной сигнал IBF, подтверждающий прием информации. По фронту - STB устанавливается сигнал INTR, который подается в подсистему обработки прерываний. При чтении данных из порта сигнал - RD сбрасывает INTR и IBF. В зависимости от используемого порта - STB подается на PC4 или PC2.

При выводе информации инициатором обмена является микропроцессорное устройство, которое по команде OUT формирует сигнал - WR. Срез этого сигнала сбрасывает запрос прерывания INTR, а фронт — сигнал - OBF, указывающий периферийному устройству, что данные находятся в выходном буфере порта. Периферийное устройство, приняв сигнал - OBF, посылает в порт PC сигнал - ACK, подтверждающий запись данных. Срез ACK устанавливает - OBF, а фронт — INTR, после чего цикл вывода повторяется снова.

Для реализации ввода-вывода по прерыванию необходимо предварительно установить бит разрешения прерывания INTE соответствующего порта.

Приведем пример программирования ППА, работающего в режиме 1, для задачи, описанной выше:

	MVI A, 0B4H;	Инициализация ППА
	OUT 57H	
M1:	IN 56H;	Анализ IBF порта PA
	ANI 20H	
	JZ M1	
	IN 54H;	Передача информации в PB
	OUT 55H	
M2	IN 56H;	Анализ - OBF порта PB
	ANI 02H	
	JNZ M2	

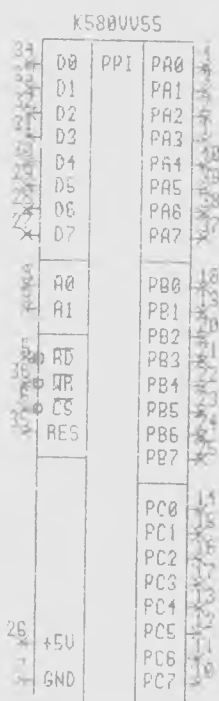


Рис. 2. Условное графическое обозначение KP580BB55

Схема соединения ППА с УВВ приведена в работе [2, рис.1.18].

Достоинством режима 1 является аппаратное формирование сигналов управления. В отличие от режима 0 входные данные могут записываться во внутренний регистр порта за время 0,2-0,3 мкс, а считывание информации осуществляется по мере необходимости командой IN port.

Режим 2 обеспечивает двунаправленную передачу данных только через порт PA. Процедура обмена аналогична режиму 1. При асинхронном вводе-выводе сигнал - STB подается на вход PC4, а сигнал - ACK — на вход PC6. Ввод-вывод по прерыванию предполагает раздельное управление вводом (INTE2) и выводом (INTE1) информации. Слово состояния режима представлено в работе [2, рис.1.17]. Оставшиеся 11 линий портов PA и PC могут настраиваться на режим 1 или 0. В зависимости от выбранного режима изменяется содержимое PC0-PC2.

Возможны определенные сочетания режимов для портов A и B. Условное графическое изображение K580BB55 представлено на рис. 2.

3. ПРОГРАММИРУЕМЫЙ ТАЙМЕР KP580BI53

Программируемый таймер (ПТ) является программно-управляемой БИС, предназначенной для формирования и преобразования частотно-временных сигналов. Таймер может использоваться в качестве делителя частоты, формирователя временных задержек импульсного сигнала или фронта импульса, формирователя временного интервала заданной длительности, счетчика импульсов, преобразователя временного интервала, частоты, периода в двоичный или двоично-десятичный коды.

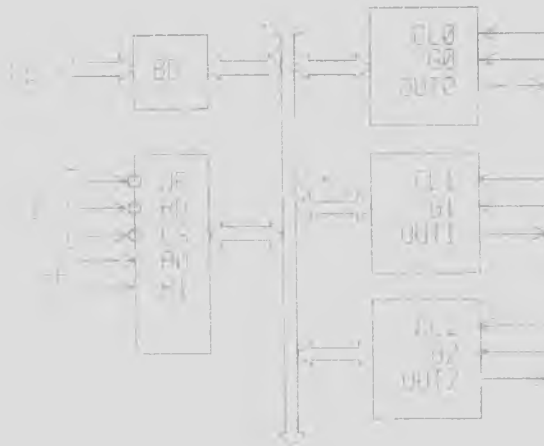


Рис.3. Структура программируемого таймера

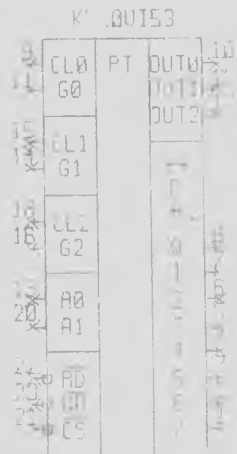


Рис.4. Условное графическое изображение KP580BI53

Структура программируемого таймера представлена на рис.3. Функциональный блок ПТ состоит из трех шестнадцатизрядных вычитающих счетчиков, каждый из которых может быть настроен независимо на требуемый режим работы. Управление работой счетчиков осуществляется сигналами базовой опорной частоты, поступающей на вход CLK, и входом разрешения G, необходимые сигналы которого определяются особенностями выбранного режима. Выходной сигнал OUT устанавливает свое значение в зависимости от режима работы в момент равенства содержимого счетчика нулю. Взаимодействие с МПУ выполняется аналогично ПИА. Условное графическое изображение BI53 представлено на рис.4.

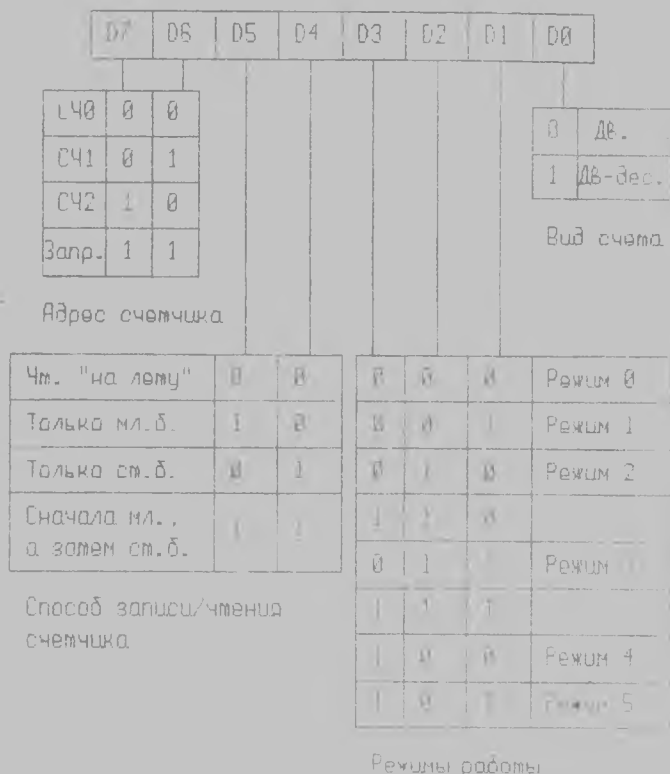


Рис.5. Слово режима программируемого таймера

Настройка счетчика на требуемый режим работы заключается в записи управляющего слова и соответствующего коэффициента, определяющего параметры выбранного режима. Формат управляющего слова представлен на рис.5, а адреса программно-доступных регистров отражает таблица. В управляющем слове кодируются адрес счетчика, для которого оно предназначено, порядок записи коэффициентов и особенности считывания содержимого счетчика, режим работы, организация счетчика. Программа инициализации счетчика имеет вид:

```

MVI A, UC
OUI PUC
MVI A, Km
OUT SЧп
MUI A, Kс
OUT SЧл,

```

где UC — значение управляющего слова;
PUC — адрес регистра UC;

Номер счетчика	Г1	Г0
СЧ0	0	0
СЧ1	0	1
СЧ2	1	0
РУС	1	1

Km, Kс — значения младшего и старшего байтов для шестнадцатирядного коэффициента;

СЧп — адрес программируемого счетчика.

Режим 0 используется для формирования программируемой задержки. После записи управляющего слова выход OUT сбрасывается в ноль. Управление началом формирования задержки может быть программным или аппаратным.

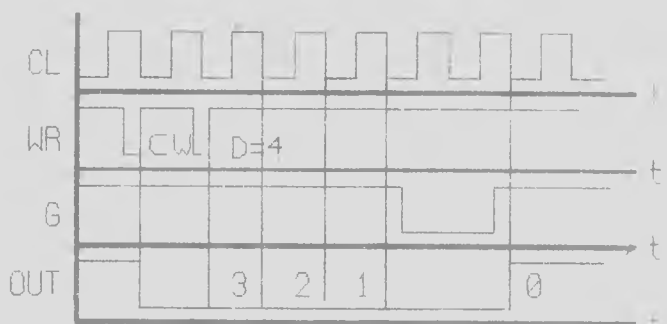
При программном запуске на вход G подается единичный уровень. Отсчет времени начинается после записи старшего байта коэффициента, характеризующего величину задержки. В момент, когда содержимое счетчика станет равным нулю, на выходе устанавливается единичное значение.

При аппаратном запуске в процессе инициализации на вход G подается нулевой уровень. Отсчет задержки начинается в момент появления на входе G единичного уровня. Если в процессе счета $G=0$, то счет приостанавливается, а после установления $G=1$ он продолжается с прерванного кода.

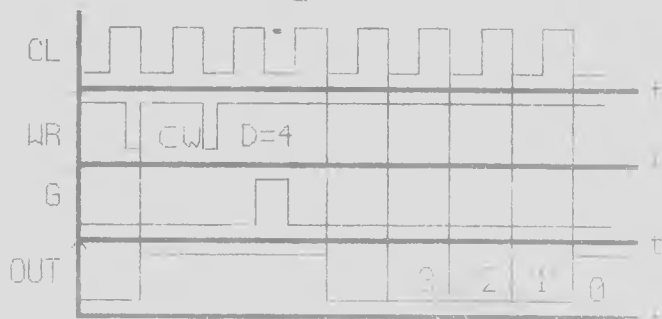
Величина задержки $t=k \cdot T_{clk}$, где k — значение коэффициента, T_{clk} — период сигнала на входе CLK.

Для повторного запуска необходимо перезагрузить коэффициент. Ввод младшего байта счет останавливает, а старшего — возобновляет.

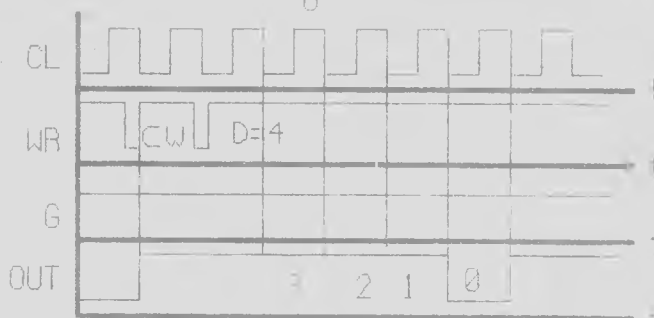
Режим 0 применяется при организации системных таймеров для формирования запросов прерывания. Временная диаграмма режима 0 представлена на рис.6,а.



а



б



в

Рис.6. Временные диаграммы таймера KP580BI53

Режим 1 реализует программируемый одновибратор, длительность отрицательного импульса на выходе OUT которого $t = k \cdot T_{clk}$.

После записи УС на выходе OUT устанавливается единичный уровень. Формирование отрицательного импульса начинается

после прихода фронта сигнала на вход G по первому срезу сигнала на входе CLK , а заканчивается в момент равенства содержимого счетчика нулю.

Режим перезапускаемый, т.е. повторная запись коэффициента не требуется. Если в процессе формирования импульса произошла загрузка нового k , то длительность текущего импульса не изменяется. Новое значение длительности будет установлено после повторного запуска одновибратора. Работу таймера в режиме 1 иллюстрирует рис.6,б.

Режим 2 используется для деления частоты, поступающей на вход CLK . При $G=1$ частота на выходе OUT $F=Fclk/k$. Продолжительность высокого уровня выходного сигнала $(k-1) * Tclk$, а низкого — $Tclk$.

При программном запуске ($G=1$) начало работы задается как в режиме 0, но в отличие от него режим перезапускаемый. Если $G=0$, то счет останавливается, а на выходе OUT формируется высокий уровень выходного сигнала.

При аппаратном запуске на входе G задается нулевой уровень и производится инициализация. Делитель частоты начинает работу при $G=1$. Этот режим наиболее часто используется при организации счетчиков импульсов. На этапе инициализации задается $k=OFFFH$, на вход CLK подаются импульсы, число которых необходимо определить, а на вход G — сигнал разрешения счета. Временная диаграмма режима 2 представлена на рис.6,в.

Режим 3 в отличие от второго формирует на выходе при четном k меандр. При нечетном k длительность единичного уровня $(k+1)/2$, а нулевого — $(k-1)/2$. Значение $k=3$ считается недопустимым.

В режимах 4, 5 формируется одиночный отрицательный импульс длительностью $Tclk$, задержка которого относительно момента запуска определяется как $t=k * Tclk$. Режим 4 реализует программную задержку импульса аналогично режиму 0, а режим 5 — аппаратную — аналогично режиму 1.

Контроль за текущим состоянием счетчиков может выполняться в режимах полного останова счетчика или в процессе его работы.

В первом случае предполагается анализ состояния сигналов G или OUT , прекращение работы счетчика путем формирования $Cl=0$ или $G=0$, а затем чтение содержимого счетчика в соответствии с заданным режимом. Если коэффициент пересчета задан в виде двухбайтового числа, то программа считывания данных будет иметь вид:

IN СЧп;	Чтение младшего байта
СМА	
MOV С,А	
IN СЧп;	Чтение старшего байта
СМА	
MOV В,А	

В регистровой паре ВС будет находиться значение счётчика СЧп.

Чтение счетчика «на лету» без его останова выполняется с помощью дополнительного управляющего слова, в котором D5D4=00, а остальные разряды могут принимать произвольные значения.

Например, для СЧ1
MVI A, 0100xxxxB
OUT PUC

По этим командам текущее значение счетчика записывается во внутренний буфер, из которого оно может быть считано аналогично предыдущему. При этом счетчик не останавливает свою работу.

Анализ сигналов G или OUT может выполняться в программном режиме или по прерыванию.

4. ОПИСАНИЕ ЛАБОРАТОРНОГО МАКЕТА

Лабораторный макет состоит из блока программируемых БИС (БПБ), на котором расположены исследуемые микросхемы, и имитатора сигналов.

Принципиальная схема БПБ приведена на рис.7. Исследуемые сигналы можно наблюдать на выходе разъема X2. Нумерация выводов X2 — справа налево, четные выводы расположены сверху. Печатная плата вставляется в переднюю панель учебно-отладочного устройства УОУ.

Структура имитатора сигналов приведена на рис.8. Он состоит из четырех тумблеров TN, с помощью которых можно задавать значения сигналов на входах PA0-PA3 порта А ППА, четырех светодиодов VI, присоединенных к выходам PC0-PC3 порта С ППА, и делителя частоты DCH, на вход которого поступает частота F2T из УОУ, а выходная частота F2T/п может быть установлена с помощью восьми тумблеров, расположенных на

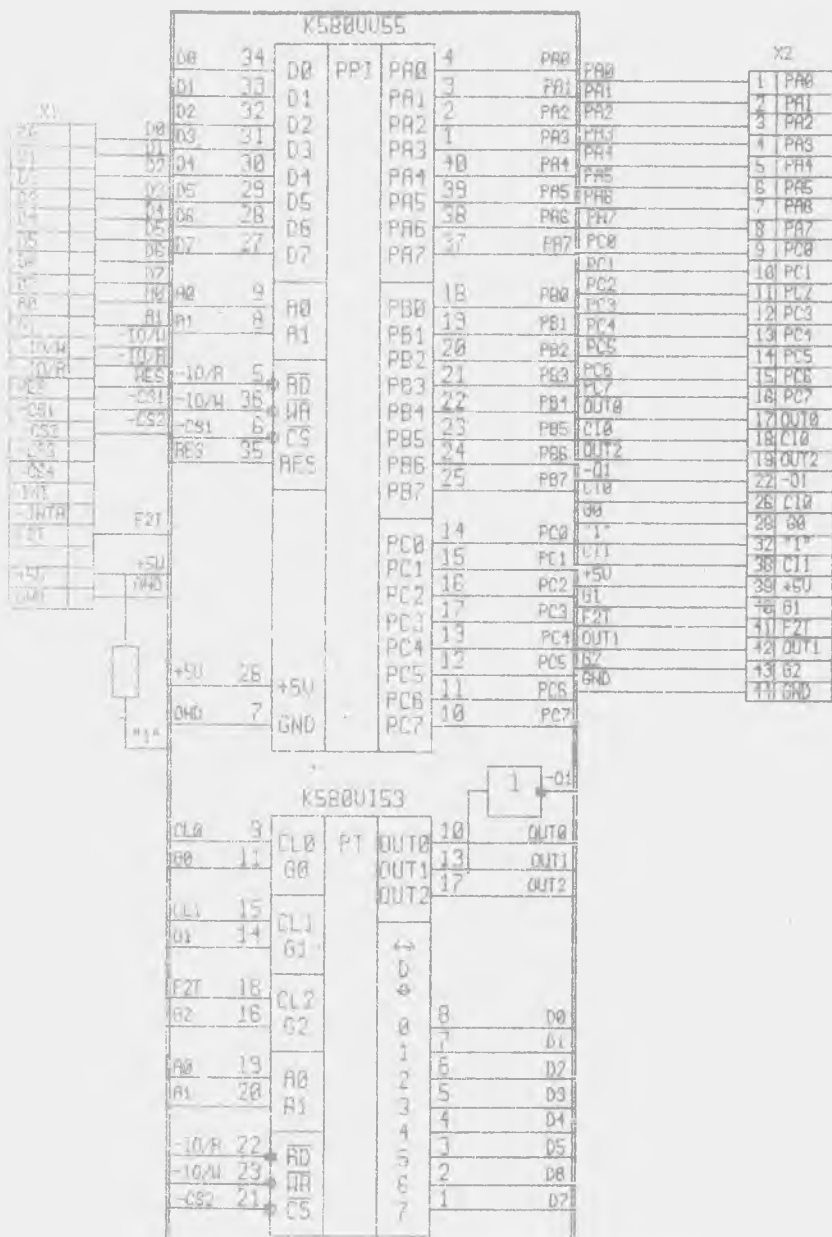


Рис.7 Принципиальная электрическая схема БПБ

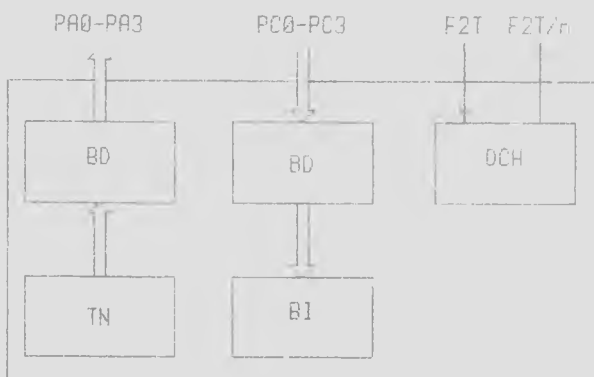


Рис.8. Структура имитатора сигналов

лицевой панели имитатора сигналов. Делитель частоты используется при исследовании программируемого таймера. Связь имитатора с ППА и ПТ выполняется через буферные схемы ВД.

5. ЗАДАНИЯ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание 1. Ввести через PA0-PA3 порта А данные из имитатора сигналов, выполнить обработку в соответствии с заданным алгоритмом, вывести данные через PC0-PC3 на светодиодные индикаторы.

Задание 2. Настроить программируемый таймер на заданный режим работы. Формирование необходимых сигналов управления и анализ выходных сигналов таймера выполнить с помощью ППА. На основе таймера реализовать программируемый генератор, измеритель временного интервала, частоты, периода. В качестве измеряемого сигнала использовать частоту F2T/п имитатора.

6. СОДЕРЖАНИЕ ОТЧЕТА

Составить программы на ассемблере K580, временные диаграммы, структурные схемы.

7. КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Назначение и функции ППА.
2. С помощью каких сигналов осуществляется обмен данными между ППА и микропроцессорным устройством?

3. Программная модель ППА и принципы его программирования.
4. Особенности основных режимов ППА.
5. В каких случаях целесообразно применение режима 0, режима 1, режима 2?
6. Как организовать работу ППА в программном режиме, в режиме прерываний?
7. Привести примеры применения ППА, реализующего функции мультиплексора, демультимплексора, формирователя выходных сигналов управления, приемника входных сигналов.
8. Назначение и функции ПТ.
9. Структурная организация ПТ. Как воздействуют сигналы G и CL на работу таймера?
10. Программная модель ПТ и принципы его программирования.
11. Особенности основных режимов ПТ. Дать рекомендации по использованию основных режимов ПТ.
12. Как организовать запись/чтение информации в ПТ?
13. Как организовать на основе ПТ формирователь импульсов, программируемый генератор, измерители временных интервалов, частоты, периода.
14. Функции и структура программируемого таймера ВИ54.
15. Как проверить работоспособность ППА, ПТ?

БИБЛИОГРАФИЧЕСКИЙ СПИСОК

1. *Июффе В.Г.* Микропроцессоры /Самар. авиац. ин-т. Самара, 1992. 52 с.
2. *Июффе В.Г., Катков И.В.* Исследование структурной организации микропроцессорных устройств обработки данных/Самар. авиац. ин-т. Самара, 1992. 28 с.

ИССЛЕДОВАНИЕ ПРИНЦИПОВ ОРГАНИЗАЦИИ
ПРОГРАММИРУЕМЫХ БИС

Составитель *Июффе Владислав Германович*

Редактор Т. И. Кузнецова
Техн. редактор Н. М. Каленюк
Корректор Т. И. Щелоква

Подписано в печать 17.05.96 г. Формат 60x84 1/16.
Бумага офсетная. Печать офсетная.
Усл. печ. л. 0,93. Уч.-изд. л. 1,05. Усл. кр.-отг. 1,0.
Тираж 100 экз. Заказ 82. Арт. С—53/96.

Самарский государственный аэрокосмический
университет им. академика С.П. Королева.
443086 Самара, Московское шоссе, 34.

ИПО Самарского государственного
аэрокосмического университета.
443001 Самара, ул. Ульяновская, 18.