

Министерство науки, высшей школы
и технической политики Российской Федерации

Самарский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева

ИССЛЕДОВАНИЕ СТРУКТУРНОЙ ОРГАНИЗАЦИИ
МИКРОПРОЦЕССОРНЫХ УСТРОЙСТВ
ОБРАБОТКИ ДАННЫХ

Методические указания
к лабораторной работе

Самара. 1992

Составители: В.Г.И о ф ф е, И.В.К а т к о в

УДК 681.5:681.32-181.48

Исследование структурной организации микропроцессорных устройств обработки данных: Метод.указ. к лаборатор. работе /Самар. авиац. ин-т; Сост. В.Г.И о ф ф е, И.В.К а т к о в. Самара, 1992. 28 с.

Изучается структурная организация микропроцессорных устройств (МПУ). В качестве примера рассмотрена реализация МПУ на базе микропроцессорного комплекта K580. Списаны основные блоки МПУ, способы их взаимодействия, принципы отладки МПУ.

Предназначены для студентов, изучающих курс "Схемотехника, ЭВМ и микропроцессоры". Составлены на кафедре "Автоматизированные системы управления".

Печатается по решению редакционно-издательского совета Самарского ордена Трудового Красного Знамени авиационного института им. академика С.П.Королева

Рецензент В.А.Л у к и н ы х

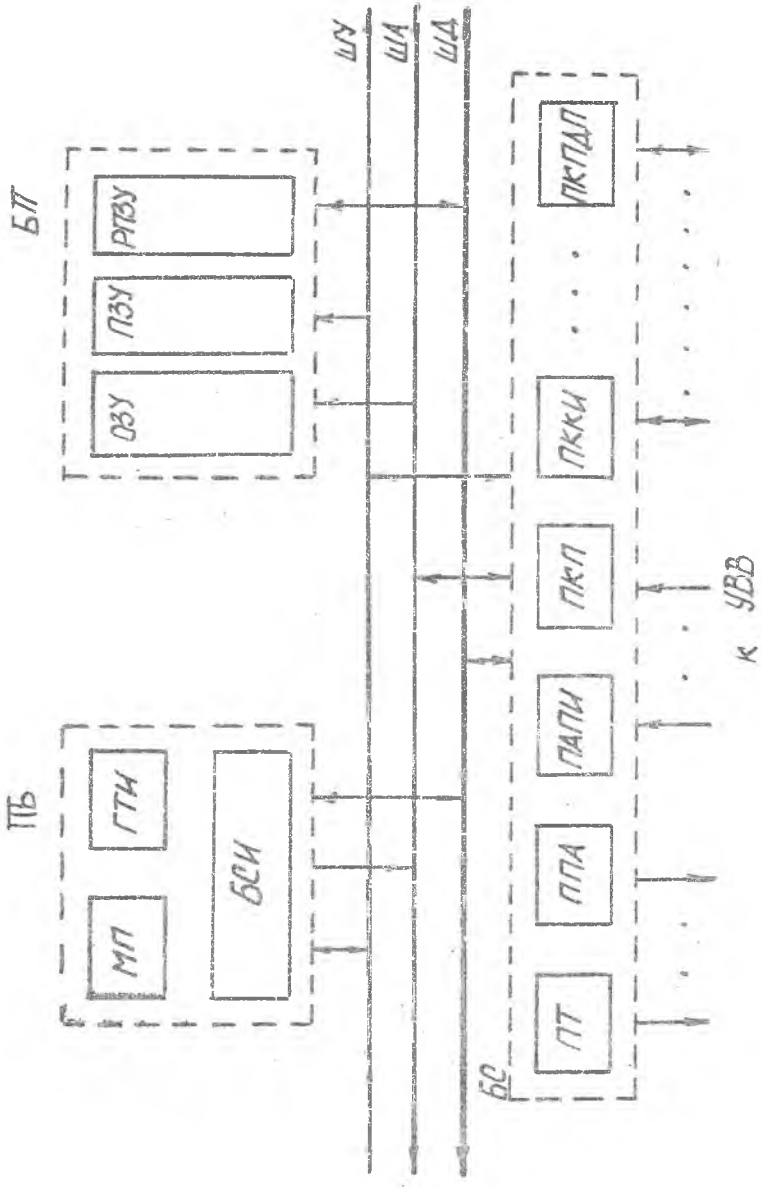
Ц е л ь р а б о т ы - изучение принципов структурной организации микропроцессорных устройств обработки данных (МПУ) и их отладки.

ОБЩИЙ СТРУКТУРА МПУ

Микропроцессорное устройство обработки данных в общем случае состоит из трех основных блоков: процессорного блока ПБ, блока памяти БП и блока связи с устройствами ввода-вывода БС. Блоки объединяются на основе соответствующего интерфейса шинами данных АД, адреса ША и управления ШУ (рис. 1).

ПБ является ядром МПУ. Он выполняет функции обработки и управления вычислительным процессом. Структура процессорного блока и МПУ в целом определяется типом выбранного микропроцессорного комплекта МК. Выбор МК производится на основании требуемых технических характеристик МПУ. Основными характеристиками МК являются операционные возможности, быстродействие, полнота комплекта, наличие программного обеспечения и средств отладки, энергопотребление, габариты. В состав ПБ входит микропроцессор МП, генератор тактовых импульсов ГТИ, блок связи с интерфейсом БСИ.

БП предназначен для хранения программ и данных, необходимых для реализации заданного вычислительного процесса. В его состав могут входить постоянное запоминающее устройство ПЗУ, оперативное запоминающее устройство ОЗУ, репрограммируемое запоминающее устройство РПЗУ. Основными характеристиками БП являются: емкость памяти и ее организация (различия шин адреса и информационных шин) быстродействие, энергопотребление, особенности управления и организации шин (раздельные или совмещенные ША и ШИ, наличие третьего состояния, статическое или динамическое ЗУ, особеннос-



Р и с. 1. Особенная структура МПУ

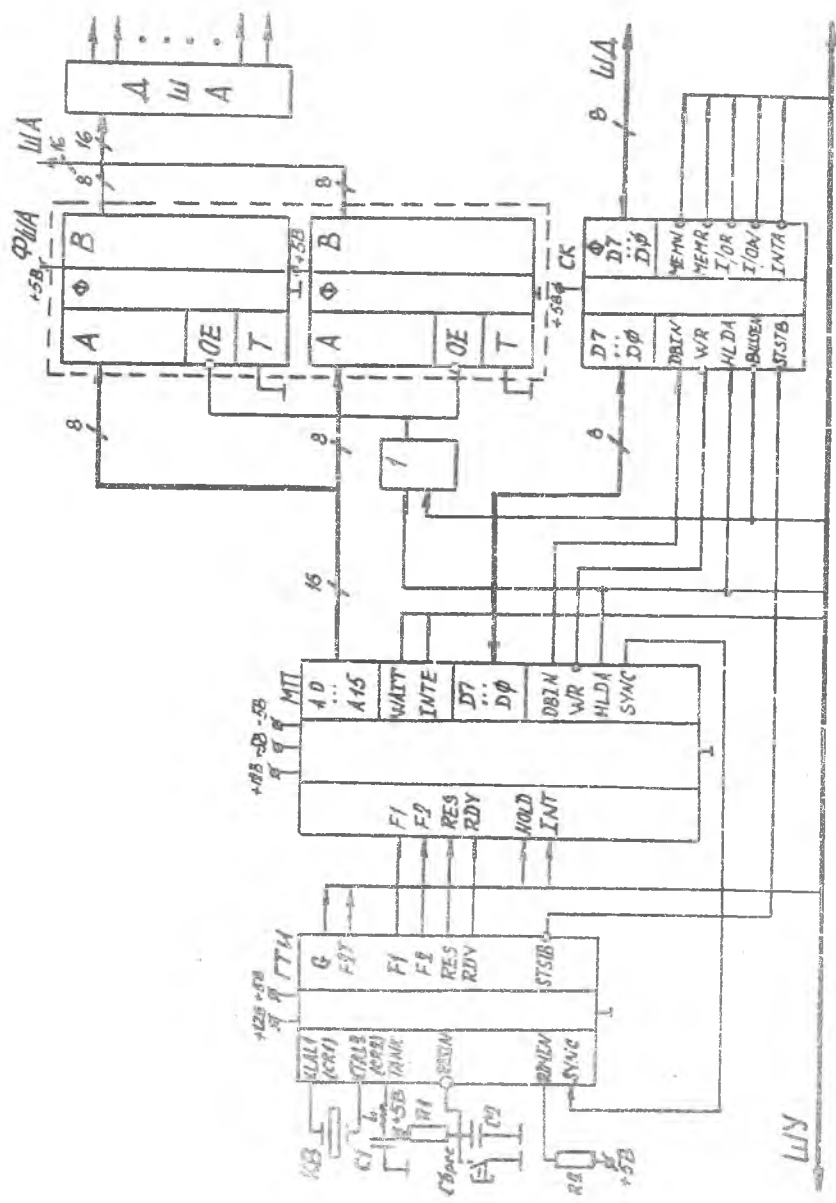
ти программирования для ПЗУ и РПЗУ и так далее). Наиболее часто для хранения программ, таблиц, констант в МПУ используются РПЗУ.

Блок связи с устройствами ввода-вывода организует взаимодействие МПУ с ЭВМ, АЦП различного назначения, схемами управления различными объектами, средствами ввода-вывода информации, внешними ЗУ и т.д. БС реализует функции электрического и информационного согласования внешних устройств с интерфейсом МПУ. Основными характеристиками БС является скорость передачи информации (бит/с, байт/с или их производные), возможность программного управления функциями ("интеллектуальность" элементов БС), принципы ввода-вывода информации (синхронный, асинхронный, программный под управлением МП, по прерыванию, в режиме прямого доступа к памяти), энергопотребление, габариты. Элементная база БС определяется, как правило, типом МПК. Состав периферийных БИС МПК определяется полнотой комплекта.

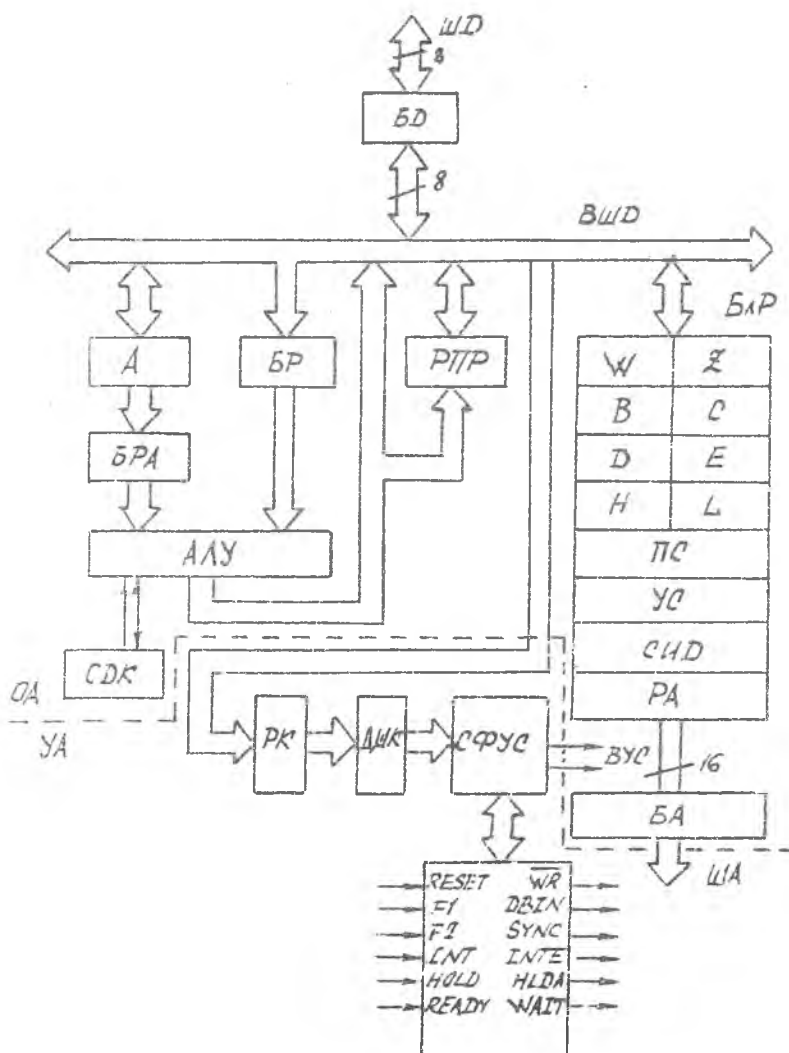
В МПК К580 входит свыше 20 периферийных БИС различного назначения. Часть из них представлена на рис. 1, где ПТ - программируемый таймер, ППА - программируемый параллельный адаптер, ПАПИ - программируемый адаптер последовательного интерфейса, ПКП - программируемый контроллер прерываний, ПК ЦПП - программируемый контроллер ЦПП, ПККИ - программируемый контроллер клавиатуры и индикации.

СТРУКТУРА ПРОЦЕССОРНОГО БЛОКА

ПБ состоит из генератора тактовых импульсов КР580 ГИ24, микропроцессора МП КР580 ВМ80А, системного контроллера СК КР580 ВК28 (ЗФ) и формирователя шины адреса ФША (рис. 2). Структура МП приведена на рис. 3. Операционный автомат (ОА) состоит из блока регистров БлР, арифметико-логического блока (АЛБ), БлР содержит: 8 регистров общего назначения, шесть из которых программно доступны (*B, C, D, E, H, L*), два (*W, Z*) используются для временного хранения информации и являются программно недоступными; программный счетчик ПС, содержимое которого автоматически увеличивается на 1 при выборе каждого байта команды; указатель стека УС, содержимое которого уменьшается автоматически при записи в стек и увеличивается при чтении; регистр адреса, в котором хранятся данные, выводимые на шину адреса из регистровой пары (*H, L*), УС или ПС;



Р и с. 2. Структура процессорного блока



Р и с. 3. Структурная организация ММ

схемы инкремента - декремента, осуществляющие операцию $\pm I$ над содержимым РОН, УС, ПС без привлечения ресурсов АЛУ.

АЛБ выполняет арифметические и логические операции под воздействием сигналов, формируемых управляющим автоматом (УА) МП. АЛБ состоит из 8-разрядного АЛУ, схемы десятичной коррекции СДК, необходимой для коррекции результата сложения двоично-десятичных чисел, аккумулятора А, программно недоступных буферных регистров БРА и БР временного хранения информации, регистра признаков результата РПР.

При выполнении операции один операнд всегда берется из БРА, второй - из Бр. Результат операции поступает на внутреннюю шину данных ВПД и может быть записан в А, БДР или оперативную память. Признаки результата выполняемой команды фиксируются в РПР. Информация, записанная в РПР, используется для организации условных переходов. ОА МП КР580 относится к классу LM -автоматов.

Внутренняя шина связана с внешней шиной данных ШД через буфер данных БД, обеспечивающий двунаправленную передачу данных и команд в режиме с разделением времени. Адреса ОП и внешних устройств передаются в систему через буфер адреса БА. БА и БД имеют трехстабильный выход (0, 1, ∞), что существенно облегчает организацию магистралей микропроцессорных устройств и обеспечивает реализацию режима прямого доступа к памяти.

В состав УА входит регистр команд (РК), дешифратор команд (ДШК), схема формирования управляющих сигналов СФУС.

При выборке команд первый байт, содержащий информацию о коде операций, помещается в РГК и поступает на ДШК. СФУС под действием ДШК и внешних осведомительных сигналов формирует определенную последовательность внутренних управляющих сигналов (ВУС) и сигналов, реализующих процедуры системного обмена. Для обмена с внешними устройствами в МП предусмотрены следующие выводы:

ША - 16-разрядная шина адреса с тремя состояниями, обеспечивающая адресацию памяти до 64 КБ, и внешних устройств (до 256 устройств ввода-вывода);

ШД - 8-разрядная двунаправленная шина данных с тремя состояниями; обеспечивает обмен информацией между МП, памятью и внешними устройствами, $F1$ и $F2$ - входы для подачи тактовых импульсов (тактовые сигналы должны иметь строго определенные параметры импульсов и взаимное расположение);

SYNC - выходной сигнал синхронизации, определяющий начало машинного цикла; *DBIN* - выходной сигнал приема, указывающий внешним устройствам, что ИД находится в режиме приема информации в МП; *WR* - выходной сигнал выдачи, информирующий внешние устройства, что данные из МП могут быть записаны в память или ВУ; *INT* - входной сигнал запроса прерывания, воспринимаемый МП после выполнения текущей команды или в режиме "Останов" (сигнал не воспринимается МП при работе в режимах ЦДП, "Ожидание" и в режиме запрещенных прерываний, который устанавливается командой *DI* "Запрет прерывания");

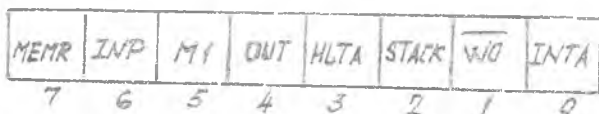
INTE - выходной сигнал разрешения прерывания, индицирует состояние триггера разрешения прерывания (триггер сбрасывается в ноль командой *DI*, сигналом *RESET* или после приема сигнала *INT*); *HOLD* - входной сигнал захвата; переводит ЦА и ИД в состояние высокого входного сопротивления (переход в состояние захвата осуществляется после завершения обмена данными между МП, памятью и внешними устройствами. Это состояние используется для организации обмена информацией в режиме прямого доступа к памяти); *HOLDA* - выходной сигнал подтверждения захвата (указывает, что ЦА и ИД находятся в третьем состоянии);

READY - входной сигнал готовности: информирует МП, что данные из внешнего устройства переданы на ИД (используется для синхронизации МПС с медленно действующими ВУ; если *READY* = 0, то МП переходит в состояние ожидания);

WAIT - выходной сигнал подтверждающий, что МП находится в состоянии ожидания; *RESET* - входной сигнал сброса, по которому сбрасываются в ноль РК, ПС, внутренние триггеры, формирующие сигналы *HOLDA*, *INTE*. Реализация любой команды МП состоит в выполнении определенной последовательности микроопераций, очередность которых задается кодом операции, входными сигналами *READY*, *HOLD*, *INT*, *RESET* и импульсами синхронизации *F1*, *F2*. Выполнение команды требует реализации от одного до пяти машинных циклов (M1-M5), каждый из которых может содержать от 3 до 5 машинных тактов (T1-T5). В течение такта выполняется одна или несколько микроопераций в соответствии с алгоритмом работы ЦА. Продолжительность такта определяется периодом следования синхросигналов. Имеются три состояния: "Ожидание", "Захват", "Останов" (*HALT*), которые могут длиться неограниченное количество тактов.

В МП имеется десять стандартных машинных циклов, которые используются при выполнении команд в различных сочетаниях: выборка кода команд, чтение из памяти, запись в память, чтение из стека, запись в стек, ввод данных из ВУ, вывод данных в ВУ, обработка прерывания, останов, обработка прерываний при останове. Например, команда *OUT* состоит из трех машинных циклов: выборка кода команды, чтение из памяти; вывод данных.

Первым машинным циклом любой команды является выборка команды. В первом такте Т1 каждого машинного цикла на ШД передается байт состояния МП, характеризующий данный машинный цикл. Формат байта состояния имеет вид, представленный на рис. 4, где *INTA* – признак подтверждения прерывания. Используется для разрешения передачи команды вызова подпрограммы обработки прерываний;



Р и с. 4. Формат байта состояния

\overline{WO} – признак записи вывода, при $\overline{WO} = 0$ в текущем цикле будет запись данных в память или во внешнее устройство, если $\overline{WO} = 1$ будет осуществляться чтение данных из памяти или ВУ;

STACK – указывает, что на ША находится адрес вершины стека;

HLTA – признак выполнения команды *HALT*;

OUT – признак вывода, указывает, что ША содержит адрес ВУ, а ШД – данные, которые должны быть записаны в ВУ при $\overline{WR} = 0$;

M1 – признак машинного цикла выборки команды;

INP – признак ввода, указывает, что ША содержит адрес устройства ввода, а ШД должна иметь данные, которые будут записаны в МП;

MEMR – указывает, что ШД будет использована для поиска данных из памяти.

Каждый машинный цикл сопровождается индивидуальным байтом состояния ЕС (табл. I). Одновременно в такте Т1 формируется сигнал *SYNC*, используемый для записи ЕС во внешний регистр, а на ША пе-

Таблица I

Таблица I. Состояние сигналов для машинных циклов

НАИМЕНОВАНИЕ СИГНАЛА	Разряды ССТ							
	D7	D6	D5	D4	D3	D2	D1	D0
Выборка команды	1	0	1	0	0	0	1	0
Чтение из памяти	1	0	0	0	0	0	1	0
Запись в память	0	0	0	0	0	0	0	0
Чтение из стека	1	0	0	0	0	1	1	0
Запись в стек	0	0	0	0	0	1	0	0
Безд	0	1	0	0	0	0	1	0
Выход	0	0	0	1	0	0	0	0
Прерывание	0	0	1	0	0	0	1	1
Останов	1	0	0	0	1	0	1	0
Прерывание при останове	0	0	1	0	1	0	1	1

редается адрес устройства, к которому будет обращение (адрес памяти, номер ВУ, УС). При обращении к ВУ восьмизрядный номер ВУ дублируется в старшем и младшем байтах адреса.

Во втором машинном такте по ШД принимается КОП, производится запись ЕС во внешний регистр, увеличивается значение ПС на "1" и осуществляется анализ сигналов *READY*, *HOLD*, *HALF*. В зависимости от значения этих сигналов происходит переход в такт Т3 или в состояние ожидания, выход из которого возможен только при поступлении внешних управляющих сигналов. Время ожидания выражается целым числом тактов и может быть бесконечно большим. В этом такте формируется сигнал *LDGM*, используемый для формирования системных сигналов.

В такте Т3 действия определяются типом машинного цикла. В цикле выборки команды код, принимаемый по ШД, фиксируется в РК, а в циклах записи-чтения байт данных принимается во внутренние регистры или передается по ШД из регистров МП в память или ВУ. Так-

ты T4 и T5 используются для внутренних преобразователей в МП. Они присутствуют не во всех командах. Например, в цикле выборки команды в T4 осуществляется дешифрация кода команд, а такт T5 — не используется.

Пример реализации команд $OUTN$, где N — номер ВУ, приведен на рис. 5. Команда выполняется за три машинных цикла (выборка команды, чтение из памяти, ввод) или 10 машинных тактов. Формирование управляющих сигналов осуществляется главным образом синхронными импульсами $F2$, а управление записью-чтением — $F1$.

РБС — регистр байта состояния. "Жесткий" алгоритм работы УА МП требует формирования специальных системных сигналов организации взаимодействия с ВУ, так как исходные данные должны быть переданы из МП или приняты в МП в строго фиксированные промежутки времени. Для этих целей на основании информации, хранящейся в БС, и сигналов МП формируются сигналы управления памятью:

чтение $\overline{MEMR} = \overline{DBIN} \wedge \overline{MEMR}$;

запись $\overline{MEMW} = \overline{WR} \wedge \overline{WU}$;

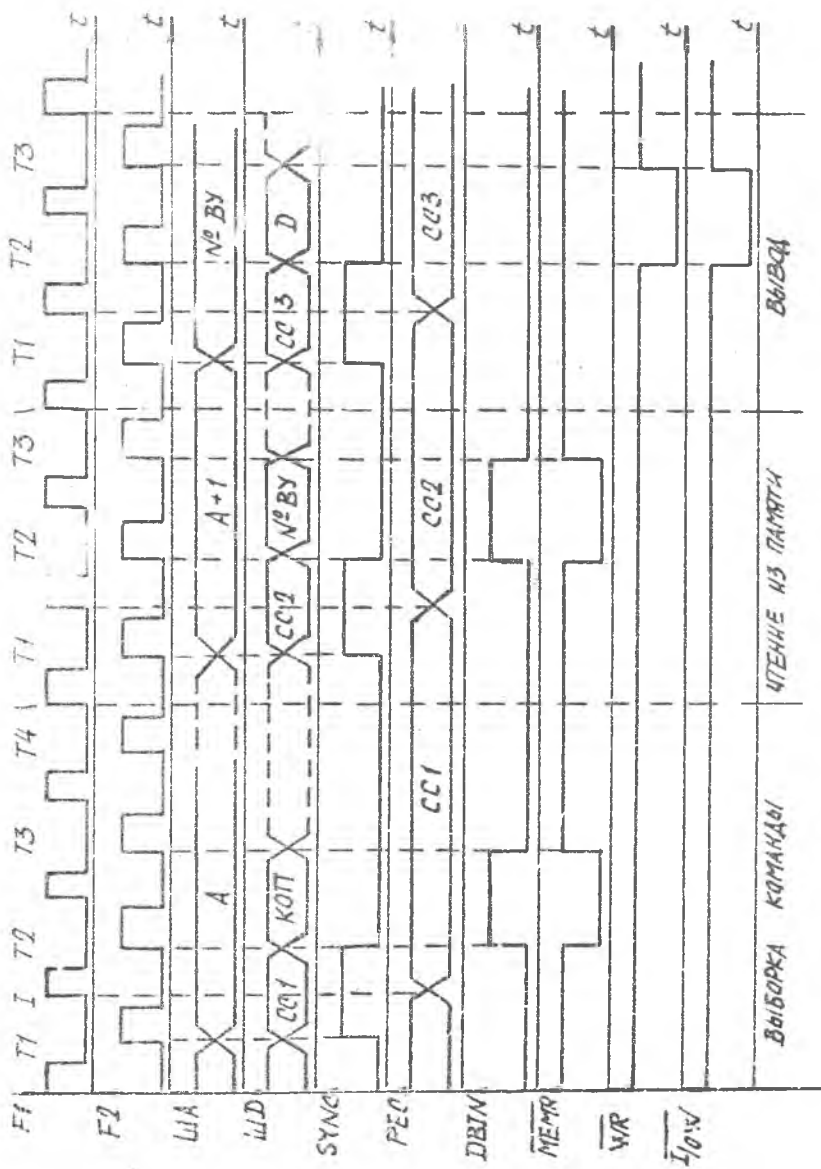
устройствами ввода-вывода $\overline{I/OR} = \overline{DBIN} \wedge \overline{INP}$;
 $\overline{I/OW} = \overline{WR} \wedge \overline{OUT}$;

средствами обработки прерываний

$\overline{INTA} = \overline{DBIN} \wedge \overline{INTA}$.

Питание МП осуществляется от источников +5 В, +12 В, -5 В. Напряжения должны подаваться одновременно или в последовательности -5 В, +5 В, +12 В. Выключение напряжений должно проводиться одновременно или в обратной последовательности. Стабилизатор напряжений должен автоматически выключать все напряжения при отключении хотя бы одного из них, перегрузке или коротком замыкании.

Формирование системных сигналов осуществляется системным контроллером КР580 ВК 28(38). СК содержит регистр для хранения байта состояния (РБС), шинный формирователь, обеспечивающий увеличение мощности ИД, и схемы формирования системных сигналов. Запись информации в РБС осуществляется сигналом \overline{STSTB} , формируемым из сигналов \overline{SYVC} и \overline{FI} в генераторе тактовых импульсов. Управление СК может осуществляться с помощью внешнего сигнала \overline{BUSSEN} , единичное значение которого переводит выходные шины СК в третье состо-



Р и с. 5. Временная диаграмма выполнения команды *OUT*

яние. Аналогичные действия оказывает и сигнал *HALDA* МП. При отсутствии СК его функции могут быть реализованы с помощью ИС и СИС в соответствии с назначением системы.

Генератор тактовых импульсов (ГТИ) реализует выполнение следующих функций: формирование тактовых сигналов МП $F1, F2$, формирование управляющих сигналов для МП (*RES, READY*) и (*STSTB*) ($U=5B$); формирование сигналов синхронизации для внешних устройств: усиленный выход $F2 (F2T)$, частота основной гармоники (*OSC*) $U=5B$; Частота на выходе $F1$ и $F2$ ГТИ определяется частотой кварца и равна $f_{кв}/9$. Входные сигналы ГТИ формируются аналогично МП. Напряжение питания ГТИ +5 В, +12 В.

Формирователи шины адреса (ФША) используются для увеличения нагрузочной способности этих шин. Их применение целесообразно при большом количестве кристаллов ЗУ и периферийных БИС. При этом необходимо учитывать не только статическую нагрузку по току, но и динамическую (влияние входных емкостей ЗУ и программируемых БИС). В зависимости от используемой элементной базы ФША могут применяться для усиления всей ША или ее наиболее нагруженной части. Если при работе МПУ используется режим ПДП, то ФША реализуется на основе схем с тремя состояниями КР580 ВА 86(87), ЛП10, ЛП11, АП5 и т.д. При работе без ПДП можно применять любые буферные микросхемы серии 155, 555, 1533. Выбор элементной базы производят исходя из минимального энергопотребления.

Выборку ЗУ и ВУ производят на основании реализации принципов позиционного или унитарного кодирования. Позиционное кодирование используется для выборки ЗУ и ВУ, если число ВУ превышает 6. Реализуется выборка с помощью дешифратора, число выходов которого должно соответствовать количеству страниц памяти и/или числу ВУ. Унитарное кодирование применяют для выборки ограниченного числа ВУ. В зависимости от конфигурации ПУ дешифраторы могут выполняться общими для ЗУ и ВУ или раздельными.

3. ОРГАНИЗАЦИЯ ПАМЯТИ

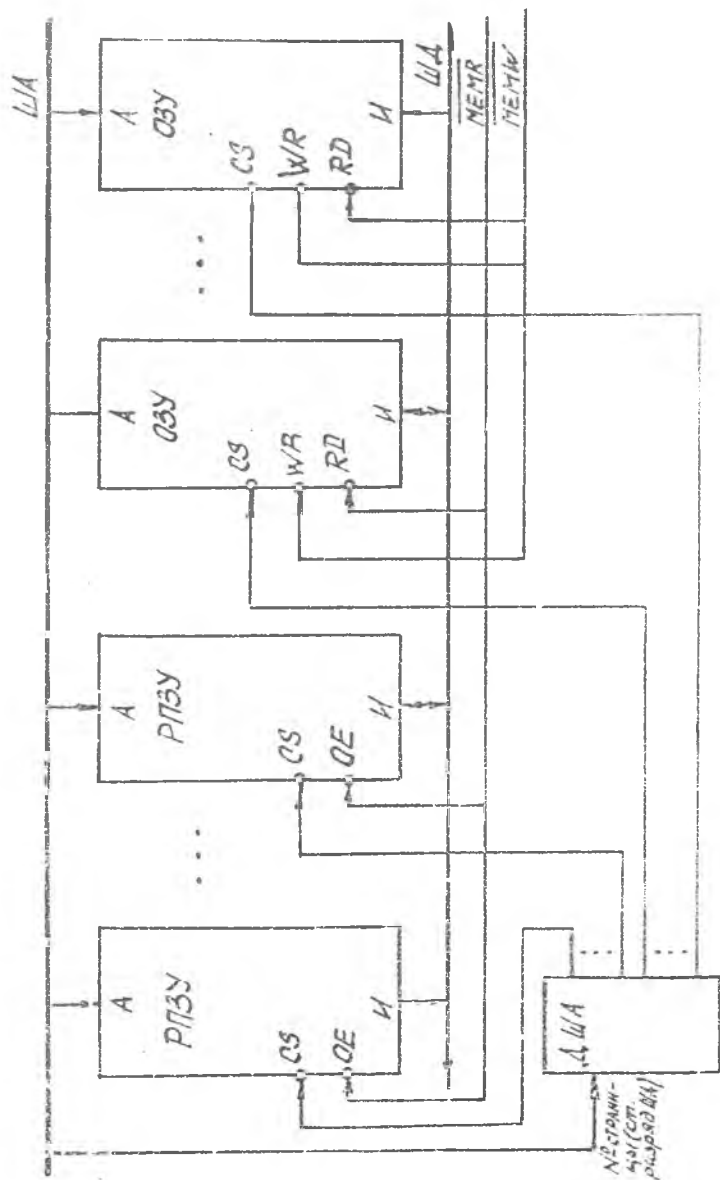
Структура памяти МПУ приведена на рис. 6. В качестве ПРЗУ обычно используют микросхемы 573 РФ1 (1Кх8), РФ2 (5) (2Кх8), РФ4(6) (8Кх8), РФ8А (16Кх8), РФ8А (32Кх8). ОЗУ выполняется на базе статических ЗУ серии К 537 РУ10 (2Кх8), РУ17 (8Кх8) или динамических - К565 РУ1 (4Кх1), РУ6 (16Кх1), РУ5 (64Кх1), РУ7 (256Кх1). Память организуется по страничному принципу. Размер страницы определяется организацией кристаллов ЗУ. Обычно младшие адреса ША используются для обращения к ПРЗУ, а старшие - для обращения к ОЗУ.

4. ОТЛАДКА МИКРОПРОЦЕССОРНОГО УСТРОЙСТВА

Отладка - это процесс обнаружения ошибок, определения источников их появления по результатам тестирования и устранения выявленных неисправностей. Наиболее сложна эта процедура в цифровых вычислительных системах, что объясняется особенностями их организации и взаимодействия программно-аппаратных средств. Сложность отладки микропроцессорных устройств состоит в том, что для локализации неисправности необходимо прежде всего определить, где возникла неисправность - в аппаратных средствах или программном обеспечении. В настоящее время разработка контрольно-диагностической аппаратуры заметно отстает от развития собственно микропроцессорных устройств и систем. Эта тенденция отчетливо проявляется как у нас в стране, так и за рубежом.

Трудность отладки микропроцессорных систем обусловлена рядом таких факторов, как сложность организации БИС, из которых состоит МПК, асинхронный режим обмена информацией между элементами МПК, режимом разделения времени, при котором по некоторым шинам, например шине данных К580, в различные моменты времени могут передаваться как данные, так и управляющая информация, большое количество требуемых точек контроля и т.д.

Чтобы проиллюстрировать проблемы тестирования БИС, рассмотрим необходимое число тест-комбинаций для проверки КР580 ВМ80. Это число определяется формулой $C = 2^{mn}$, где n - длина слова в битах, а m - число команд МП; если $m = 76$, а $n = 8$, то $C = 2^{608} = 10^{183,03}$. Если предположить, что каждый тест длится



Р и с. 6. Структурная организация процессора

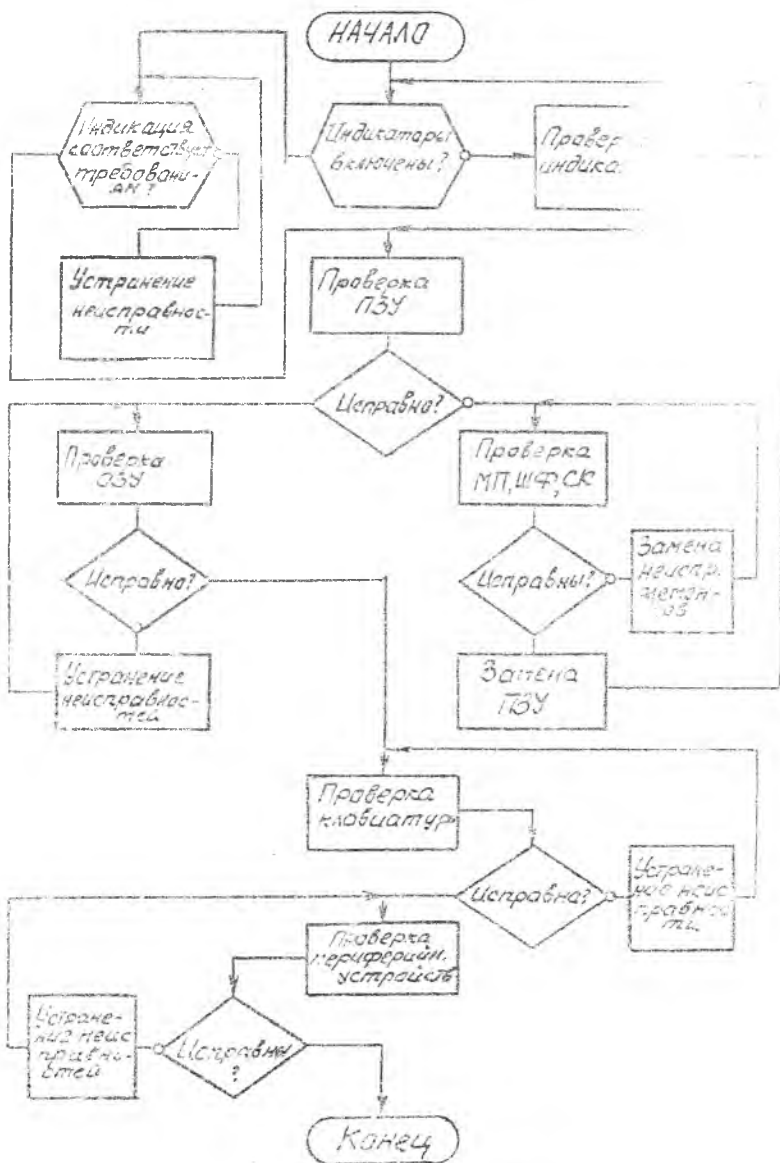
1 мкс, то для проведения всех тестов потребуется $3,171 \cdot 10^{169}$ лет (примерный возраст Земли $4,7 \times 10^9$ лет. Приведенный расчет свидетельствует о том, что цифровую БИС, например МП, никогда нельзя проверить полностью. Поэтому МП проверяют с помощью ограниченно-го числа тест-наборов, полагая по результатам такого контроля, что БИС будет правильно работать и при других сочетаниях управляющих сигналов и данных. Однако это не исключает, что при определенном наборе двоичных сигналов МП может работать неправильно.

В основе почти всех методов отладки лежит та или иная гипотетическая модель неисправностей, выбираемая на основе практического опыта эксплуатации и настройки данного устройства или системы. Любой метод тестирования хорош ровно на столько, насколько правильна лежащая в его основе модель неисправности. Наиболее широкое распространение получил "метод раскрутки", при котором определяется системное ядро, работающее наиболее надежно, а далее к ядру постепенно присоединяются и контролируются остальные компоненты системы (от ядра к периферийным устройствам). Системным ядром микропроцессорного устройства являются генератор синхронизации и МП. При наличии работающего ядра остальные компоненты устройства могут быть относительно просто проверены с помощью специальных тестовых наборов команд. Особенностью микропроцессорных устройств является свойство "интеллектуальности (разумности)", что позволяет использовать самотестирование с помощью программ, записанных в специальных ПЗУ тестирования или в ОЗУ.

Поиск и локализация неисправностей значительно упрощаются при наличии тщательно продуманной последовательности тестов, которая отражается с помощью дерева поиска неисправностей (ДПН). ДПН оформляется в виде граф-схемы алгоритма, позволяющей наиболее быстро определить местонахождение отказа. Упрощенное ДПН изучаемого стенда приведено на рис. 7.

Тестирование системного генератора. Проверка системного генератора заключается в измерении с помощью осциллографа амплитуды и временных параметров выходных сигналов $F1, F2, STSTB, RLS, READY$. Если эти сигналы не соответствуют требованиям, то необходимо проверить питание +5 В, +12 В, уровни управляющих сигналов ($SYNC, RDYN$) наличие входного импульса сброса ($RESIN$).

Тестирование МП. Простейший вид тестирования в условиях эксплуатации - перевод МП в режим свободного счета. В этом режиме на



Р и с. 7. Структура ИТР

ЩД МП необходимо подать последовательность одной из холостых команд (*NOP; MOVA, A; DRAA*), коды которых могут быть легко сформированы внешними схемами. При этом должен быть обеспечен режим отключения остальных схем, подсоединенных к шине данных: например, подача 1 на вход *BUSSEN* системного контроллера и на входы выборки ФА.

Для микропроцессора Z-80, M6502 реализация метода состоит в подаче на ЩД соответствующей комбинации уровней логического нуля и единицы. Для микропроцессоров с общими шинами адреса и данных необходимы специальные схемы. Особенностью использования теста свободного счета в K580 является необходимость отключения нагрузки ЩД в момент передачи байта состояния. При чтении команд частота сигналов на шине адреса должна удваиваться, начиная со старшей линии адреса А15. Если, например, на двух линиях адреса обнаруживается одна и та же частота, то следует предположить короткое замыкание между ними. При этом необходимо контролировать амплитуду сигнала. Отличие уровней от стандартных значений может указать на наличие неисправного входа ЕМС и ИС, присоединенного к соответствующей шине адреса. Дополнительную информацию о работоспособности МП можно получить, контролируя значения управляющих сигналов. Указанные команды выполняются в течение одного машинного цикла. Временная диаграмма должна соответствовать циклу выборки команды (см. рис. 5), следовательно, можно наблюдать формирование сигналов *DBIN, SYNC*.

Подбирая соответствующие последовательности команд и внешних сигналов, можно проверить правильность формирования остальных управляющих сигналов. Если предусмотрено внешнее формирование сигнала *RESET*, то, помешая в ячейку "0" соответствующие команды и используя внешний запуск осциллографа сигналом *RES*, можно наблюдать временные диаграммы выполнения требуемых команд.

Тестирование системного контроллера и шинных формирователей адреса. Входными сигналами этих схем являются управляющие сигналы, формируемые МП и системным генератором. Правильность их функционирования может быть проверена одновременно с МП как реакция на определенную тестовую последовательность.

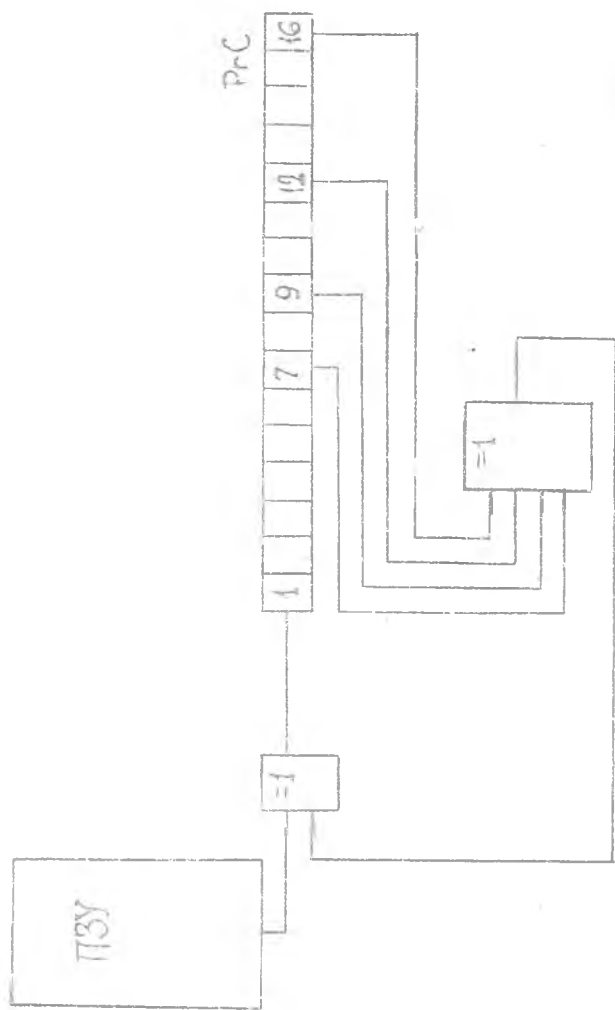
В системном контроллере проверяются сигналы *MEMR, MEMW, I/O R, I/O W, INTA*, переход в третье состояние. В шинном формирователе адреса - соответствие входных и выходных сигналов линий адреса и переход в третье состояние.

Тестирование ПЗУ. ПЗУ хранит фиксированные системные команды и константы, поэтому отказ ПЗУ обычно приводит к нарушению функционирования микропроцессорного устройства. В ПЗУ отказы возникают из-за частого перепрограммирования микросхем, пробоя МОП – транзисторов.

В программируемых ПЗУ отказы связаны с "зарастанием" расплавленных перемычек. Этот дефект особенно характерен для ПЗУ с никромовыми перемычками. Более надежны в эксплуатации ПЗУ с поликремниевыми перемычками. Наибольшее применение при тестировании ПЗУ нашел способ контрольной суммы. При этом содержимое всех ячеек ПЗУ суммируется без учета переноса, и полученная сумма сравнивается с контрольной, которая хранится, как правило, в последней ячейке проверяемого ПЗУ. Несовпадение свидетельствует о неисправности ПЗУ. Совпадение контрольной суммы не гарантирует исправность ПЗУ, так как этот метод не исключает кратных ошибок. Лучшие результаты обеспечивает формирование контрольных циклических избыточных кодов (CRC). Этот метод широко используется при сигнатурном анализе. Идея метода поясняет рис. 8. Содержимое ПЗУ считывается в виде непрерывной последовательности битовых данных, вводится в 16-разрядный сдвиговый регистр РС. Результат, фиксируемый в РС после ввода всех бит ПЗУ, представляет собой CRC. Описанная процедура может быть реализована программным путем.

Проверка ПЗУ обычно начинается с контроля напряжения питания и наличия сигналов управления.

Тестирование ОЗУ. Нарушение работы ОЗУ не приводит к таким катастрофическим последствиям, как нарушение работы ПЗУ. Однако контроль за правильностью его функционирования обязателен и особенно важен в том случае, если в ОЗУ размещается системный стек. Отказ ОЗУ может быть связан с неисправностью отдельных БИС, с чувствительностью к перекрестным наведенным помехам, с коротким замыканием внешних по отношению к БИС линий или адреса и данных, с отсутствием сигналов управления, с неисправностью схемы регенерации в динамических ОЗУ. Работоспособность БИС ОЗУ определяется посредством контроля статических, динамических параметров и функционирования на алгоритмических тестах. Наиболее широко используются алгоритмические функциональные тесты (АФТ), содержащие последовательности элементарных тестов, изменяемых по известному закону. АФТ должны обеспечивать достаточную полную контроль при максималь-



Р и с. 8. Принцип формирования CRC

них затратах времени. Эти противоречивые требования трудно удовлетворить, поэтому на практике применяют набор достаточно простых тестов, проверяющих определенный класс неисправностей. По числу циклов обращения к тестируемому ОЗУ, выраженному через его информационную емкость N , алгоритмы делят условно на три типа: N , N^2 , $N^{3/2}$.

Линейные алгоритмы типа N используются для предварительной оценки ОЗУ на отсутствие катастрофических неисправностей.

Алгоритмы типа N^2 являются наиболее эффективными. Попарная передача информации между любыми парами элементов памяти позволяет эффективно обнаруживать как статические, так и динамические отказы ЗУ. Их применение ограничено резким ростом длительности контроля с увеличением емкости ЗУ. Алгоритмы типа $N^{3/2}$ являются компромиссом между N и N^2 . Примером теста типа N является "Шахматная доска", когда в ОЗУ записываются наборы 55Н и 8ААН. Применение этого теста позволяет определить старший адрес ОЗУ, если емкость ОЗУ, используемого в системе, неизвестна.

Более информативный тест – "бегущая единица" (класс N^2). Он используется в том случае, если возникает подозрение на неисправность отдельных разрядов или ячеек ОЗУ. В этом тесте ОЗУ проверяется с помощью последовательностей:

```

0000 0000
0000 0001
0000 0010
0000 0100
      :
      :
0100 0000
1000 0000

```

Такой тест позволяет обнаруживать чувствительность соседних линий данных к перекрестным наведенным помехам, которые проявляются в виде соседних разрядов при считывании из проверяемой ячейки соседняя "1".

Для выявления неисправностей, связанных с коротким замыканием в шине адреса, рекомендуется следующий алгоритм. Первоначально ОЗУ обнуляется, а затем в первую ячейку записывается код FF . После этого все остальные ячейки проверяются на считывание кода 00 . Если тест пройдет, то первая ячейка сбрасывается в "0", а код FF за-

писывается только во вторую ячейку. Далее цикл повторяется. Если при считывании результат не равен нулю, то следует предположить отказ либо в БИС, либо во внешних шинах адреса.

"Подозреваемый" бит или биты в шине адреса находят с помощью операции "Исключающее ИЛИ" адреса, по которому записан AA , и адреса, по которому произошло неправильное считывание. Например, код AA записан по адресу 80_{16} , а отказ обнаружен в ячейке CB_{16}

$$\begin{array}{r} 1000 \ 0000 \\ \oplus \ 1100 \ 1000 \\ \hline 0100 \ 1000 \end{array}$$

В данном случае необходимо проверить разряды A6 и A3 шины адреса.

Прежде чем приступить к проверке с помощью АФТ, необходимо проверить питание, формирование сигналов выборки кристалла, записи, чтения.

Тестирование ввода-вывода. Микропроцессорные устройства системы содержат, как правило, большое число разнообразных программируемых БИС ввода-вывода: параллельные и последовательные адаптеры, контроллеры ПШП, контроллеры прерываний, контроллеры клавиатуры и т.д. Контроль каждой из этих схем имеет свои особенности и будет рассмотрен в последующих лабораторных работах. К наиболее характерным неисправностям относятся отказы из-за электрических перегрузок, отсутствие управляющих сигналов. В данном макете имеется возможность контроля формирования сигнала выборки на выходе дешифратора.

Тестирование процессорного блока наиболее рационально проводить, используя специальные приборы: логические анализаторы, генераторы тестовых последовательностей, специальные отладочные комплексы. В данной работе используется наиболее простое средство отладки — осциллограф. Основные трудности отладки с помощью осциллографа связаны с периодическим принципом запуска развертки, ограниченным числом входных каналов. Поэтому для проверки элементов процессорного блока необходимо создавать циклические тест-программы, число команд которых ограничивается длительностью развертки осциллографа и требуемой временной разрешающей способностью. Осциллограф обычно используется в режиме с внешним запуском. Раскладка выходных разъемов макета приведена в табл. 2, где даны следующие обозначения:

РАСЧЕТ НА ПРИЛОЖИХ РАБОТНОМ

X8

Процессор	A1-A5	A16	A17	A18	A19	A20	A21	A22	B1	B2	B3
Контроль	WA AF-A5	RESET	BR 03Y1	BR 03Y3	BR 03Y4	BR 03Y4	1	+5B	WA A0	MEM W	MEM R

X5

B4-B11	B12	B13	B14	B15	B16	B17	B18	B19	B20	B21, B22	B23
WD DA-D7	I/O R	I/O R	INTA	BR 13Y1	BR 13Y3	BR 13Y2	BR 13Y4	-5B	+12B	1	+5B

X9

A1	A2	A3	A4	A5	A6	A7	A8	A9	A10	A11	A12
BR 13Y5	BR 13Y6	BR 03Y5	BR 03Y6	BR 03Y7	ST-AUT01	ST-AUT02	READY _{OH}	HOLD	HLDA	DBIN	DMAEN

X9

A13	A14	A15	B1	B3	B4	B5	B6	B7	B8	
CCC	DMAEN	HOLD _{OH}	BR no.1	BR no.2	BR no.3	BR no.4	INT _{enable}	PC1	BR no.00	F2 no.4

ВК ОЗУ1 - ВК ОЗУ6 - сигналы выборки ОЗУ;
ВК ПЗУ1 - ВКПЗУ6 - сигналы выборки ПЗУ;
DMAEN - сигнал, формируемый схемой ЦПП;
ССС - строб записи байта состояния;
ВК пр1 - ВК пр4 - сигнал выборки внешних устройств с адресами
соответственно 20, 30, A0, BC.
РС1 - выход разряда порта С параллельного адаптера.

ЗАДАНИЯ К ЛАБОРАТОРНОЙ РАБОТЕ

Задание 1. Проверить ИП в режиме свободного счета. Составить тест-программы для проверки управляющих сигналов, указанных преподавателем. Тест свободного счета имитируется загрузкой команд в ОЗУ. Зафиксировать временные диаграммы цикла выборки команды. Прочитать значение байта состояния.

Задание 2. Составить тестовую программу для проверки ПЗУ. На индикаторах стенда вывести сообщение о результатах тестирования. Снять временную диаграмму обращения к ПЗУ.

Задание 3. Составить тестовую программу для проверки заданного кристалла ОЗУ в соответствии с заданием преподавателя. На индикаторы стенда вывести сообщение о результатах тестирования. Снять временную диаграмму обращения к ОЗУ.

Задание 4. Составить тестовую программу для проверки дешифратора внешних устройств. Снять временную диаграмму обращения к УВВ.

СОДЕРЖАНИЕ ОТЧЕТА

Программы на Ассемблере К580, временные диаграммы. Для задания 3 - граф-схема алгоритма.

КОНТРОЛЬНЫЕ ВОПРОСЫ

1. Состав МПУ, назначение основных блоков, средства их реализации.
2. В чем отличие в организации процессорного блока на базе К580 и К1801?
3. Какие функции выполняют СК, ГТИ, ФДА, МП? Назначение входных и выходных сигналов, способы управления.

4. Особенности организации ОА и УА микропроцессора.
5. Какие способы ввода-вывода можно реализовать с помощью МП? Средства реализации, рекомендации по применению.
6. Как организовать взаимодействие МП с внешними устройствами? Какие средства для этого необходимы?
7. В каких случаях целесообразно применение статических и динамических ОЗУ?
8. Как распределяется адресное пространство МП?
9. В чем особенности организации отладки МПУ?
10. В чем сущность метода "раскрутки"?
11. Как организовать тестирование МП К880 с помощью теста свободного счета? Охарактеризовать полноту контроля.
12. Причины отказов ПЗУ и способы их проверки. Сравнительные характеристики методов контрольной суммы и контрольных циклических кодов.
13. Способы тестирования основных блоков МПУ.
14. Причины отказов ОЗУ и способы их проверки.
15. Назначение АЭТ и их классификация. Примеры тестов.
16. Составить ДИП в соответствии с заданием преподавателя.

ИССЛЕДОВАНИЕ СТРУКТУРНОЙ ОРГАНИЗАЦИИ
МЕТАПРОЦЕССОРНЫХ УСТРОЙСТВ
ОБРАБОТКИ ДАННЫХ

Составители: И о ф ф е Владислав Германович
К а т к о в Игорь Владимирович

Редактор Е.Д.А н т о н о в а
Техн. редактор Н.М.К а л е н ъ к
Корректор Н.Д.Ч а й н и к о в а

Подписано в печать 6.04.92. Формат 60x84¹/₁₆.
Бумага оберточная. Печать оперативная.
Уч.-изд.л. 1,4. Усл.п.л. 1,6. Усл.кр.-отт. 1,6.
Тираж 200 экз. Заказ ~ 101. Бесплатно.

Самарский ордена Трудового Красного Знамени
авиационный институт имени академика С.П.Королева.
443088 Самара, Московское шоссе, 34.

Участок оперативной полиграфии
Самарского авиационного института.
443001 Самара, ул. Ульяновская, 18.