

УДК 004.272.3

ПЕРСПЕКТИВНЫЕ АРХИТЕКТУРЫ НАВИГАЦИОННЫХ ПРИЕМНИКОВ НА ОСНОВЕ SDR

© Кумарин А.А., Кудрявцев И.А.

e-mail: alky_samara@mail.ru

*Самарский национальный исследовательский университет
имени академика С.П. Королёва, г. Самара, Российская Федерация*

В наши дни приемники спутниковых навигационных систем находят все новые применения. Большинство имеющихся решений реализованы на основе интегральных схем специального назначения (application specific integrated circuit – ASIC). Данное решение зачастую является наилучшим в цене, производительности и энергопотреблении. Однако, основным недостатком ASIC является их неизменяемость: при необходимости работы с дополнительными типами сигналов или по модифицированным алгоритмам пользователь может столкнуться с ограниченностью или невозможностью их использования. В этом случае одним из возможных решений является приемник на основе программного радио (software defined radio – SDR). В этом решении важной задачей является обеспечения своевременной обработки получаемых данных. В данном докладе рассматривается вопрос об архитектурах вычислительных систем, позволяющих решать задачи обработки сигнала, обладающих достаточной гибкостью и быстродействием.

Основные блоки вычислений в навигационном приемнике:

1. Поиск сигнала. Выполняется при старте устройства и затем периодически раз в несколько секунд. Представляет собой перебор значений доплеровской частоты и задержки для каждого потенциально видимого спутника. Является вычислительно сложной задачей, т.к. рассматривается большое число комбинаций частота-задержка, для каждой из которых требуется вычисление коэффициента корреляции. Данный блок работает идентично для каждого спутника, поэтому может выполняться как последовательно, так и параллельно с аналогичным блоком для другого спутника.

2. Слежение за сигналом. Выполняется для всех спутников, найденных в блоках 1 каждую 1 мс. Заключается в работе генераторов локальной реплики несущей и кода, а также шести корреляторов схемы Костаса, по результатам работы которых производится коррекция параметров генерации. Для каждого спутника блок отличается только параметрами генератора кода и несущей, поэтому данный блок также позволяет параллельное выполнение.

3. Вычисление положения навигационного приемника. Выполняется 1-2 раза в секунду. Включает расшифровку эфемеридной информации, вычисление положений, преобразования координат, коррекции и т.д.

Основными рассматриваемыми вычислительными устройствами в данном докладе являлись микропроцессоры (central processing unit – CPU), микроконтроллеры общего назначения (micro controlling unit – MCU), цифровые сигнальные процессоры (digital signal processor – DSP), программируемые логические микросхемы (Field Programmable Gate Array – FPGA), системы на кристалле (System on Chip – SoC).

Первые три типа устройств реализуют инструкции преимущественно последовательно. Параллелизм возможен в случае использования многоядерных CPU, однако число параллельных потоков выполнения обычно не превышает 4-8. Таким образом, время обработки спутников суммируется и может достигать величин, не позволяющих производить обработку в реальном времени. В докладе представлены оценки вычислительной сложности наиболее затратных частей алгоритма и оценка времени их выполнения с использованием отдельных распространенных CPU.

FPGA позволяет отказаться от концепции вычислительных ядер и реализовывать набор «устройств» для выполнения конкретных операций в рамках одной микросхемы. Кроме того, возможна реализация устройств с поддержкой конвейерной работы. В этом случае время между получением на выходе устройства результатов может снизиться до одного такта. Основной проблемой данного решения является ограниченность ресурсов FPGA. Например, высокоскоростной вычислитель быстрого преобразования Фурье может потребовать до половины от общего числа логических ячеек [1]. Для того, чтобы реализовать все необходимые вычислители, может потребоваться FPGA высокого класса, стоимость которых высока.

SoC представляет собой гибрид FPGA и CPU, который в данном контексте обозначают Hardware processor system (HPS). Для взаимодействия FPGA и HPS используют специальные универсальные мосты, такие как AXI bridge. Данный тип вычислительных устройств обладает всеми преимуществами FPGA, но лишен их главного недостатка – больших затрат логических ячеек для реализации последовательных частей алгоритмов. В SoC их можно не реализовывать в FPGA части, а передать для исполнения в HPS.

В данном докладе рассмотрены несколько логических архитектур, которые можно реализовать в рамках SoC. Они представлены на рисунке.

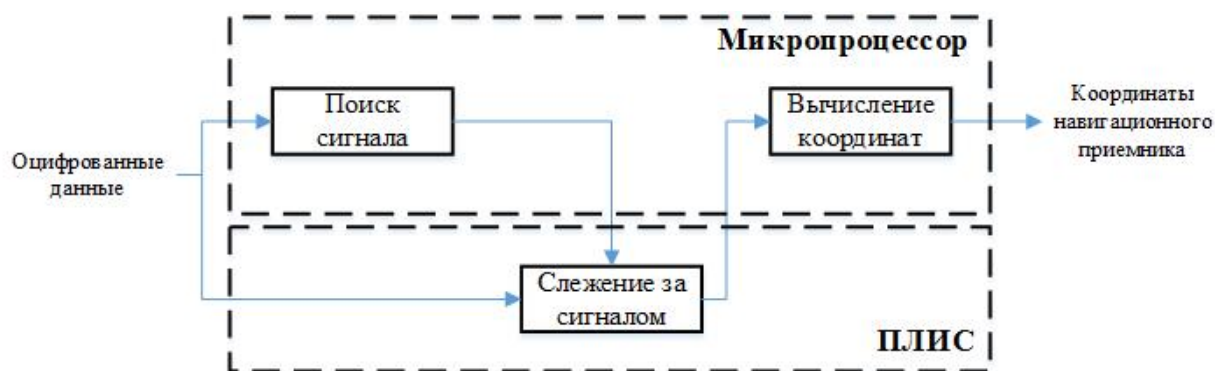


Рис. Предлагаемая архитектура вычислительного блока

На рисунке представлена предлагаемая архитектура программной части навигационного приемника. Оцифрованные данные здесь поступают одновременно в процессорную часть и в FPGA часть. Процессорная часть обеспечивает поиск сигнала и вычисление координат, в то время как FPGA часть выполняет слежение за сигналом. Этот вариант наиболее подходит для быстрой адаптации программного кода для CPU для исполнения на вычислителе, содержащем FPGA и микропроцессор или на системе на кристалле. В этом случае процессор полностью освобождается от наиболее затратной части алгоритма – слежения за сигналом. Предлагаемая архитектура позволяет освободить значительное количество процессорного времени для выполнения дополнительных задач.

Из рассмотренных в данном докладе вычислительных платформ наиболее перспективными являются SoC за счет большой гибкости и возможности любых изменений в обработке сигнала без каких-либо изменений в аппаратном обеспечении. В докладе рассмотрены потенциальные сферы применения предложенных архитектур и перспективы их дальнейшего развития.

Библиографический список

1. Guruprasad, S. Design and Implementation of a Low-Cost SoC-Based Software GNSS Receiver / S. Guruprasad et. al. // IEEE Aerospace and Electronic Systems Magazine vol. 31, no. 4, 2016, P. 14-19.