

Министерство высшего и среднего
специального образования РСФСР

КУЙБЫШЕВСКИЙ ОРДЕНА ТРУДОВОГО КРАСНОГО ЗНАМЕНИ
АВИАЦИОННЫЙ ИНСТИТУТ ИМЕНИ С.П. КОРОЛЕВА

Н.Е.Конюхов, Н.И.Филимонов,
Е.А.Муштаков

ЭЛЕМЕНТЫ ИМПУЛЬСНЫХ УСТРОЙСТВ

Учебное пособие

Утверждено на редакционно-издательском
совете института 07.04.76 г.

Куйбышев 1977

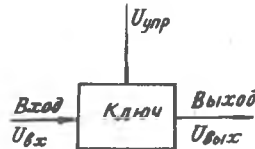
В пособии рассматривается принцип работы и методы расчета основных элементов импульсных устройств: ключей, формирователей импульсов, потенциальных логических схем, триггеров. Основное внимание уделено рассмотрению импульсных элементов, выполненных на биполярных и униполярных транзисторах и интегральных схемах.

Пособие предназначено для студентов, изучающих курсы "Импульсные и цифровые устройства" и "Электромагнитная импульсная техника".

Глава I. ЭЛЕКТРОННЫЕ КЛЮЧИ

§ I.I. Особенности ключевого режима работы биполярных и униполярных транзисторов

Важнейшими элементами устройств формирования, преобразования и управления импульсами являются ключи (рис. I.I). Основное назначение их состоит в коммутации (замыкании, размыкании) различных цепей импульсных устройств под воздействием управляющих сигналов. Ключ в стационарном режиме находится в одном из состояний - замкнутом или разомкнутом. Когда ключ замкнут (включен), сигнал от генератора проходит в нагрузку, когда ключ разомкнут (выключен), - не проходит.



Р и с. I.I

Часто входные сигналы играют роль управляющих.

Основными требованиями, предъявляемыми к ключам, являются:

- 1) малое внутреннее сопротивление во включенном состоянии и возможно большее в выключенном (в идеальном ключе внутреннее сопротивление предполагается равным нулю в замкнутом состоянии и бесконечности - в разомкнутом);
- 2) высокое быстродействие, т.е. высокая скорость (малое время) перехода ключа из одного состояния в другое. Такой переход не может быть мгновенным из-за переходных процессов, обусловленных различными паразитными параметрами (емкостями, индуктивностью рассеяния и т.п.);
- 3) высокая стабильность пороговых уровней ключа, т.е. тех уровней управляющего напряжения (или тока), при которых происходит переключение; эти уровни могут изменяться под воздействием температуры, из-за старения элементов, из-за нестабильности источников питания и т.д.

Сравнительный анализ ключевых свойств электронных и полупроводниковых приборов показывает, что последние обладают более высокими ключевыми свойствами. Так, например, электронная лампа способна переключать не более 70% коммутируемого напряжения, в то время как биполярный транзистор - до 95% и выше.

Высокие ключевые свойства полупроводниковых приборов позволили создать импульсные устройства, превосходящие по своим показателям ламповые аналоги. Однако, с другой стороны, перемещение носителей зарядов (электронов и дырок) за счет диффузии и дрейфа в кристаллических решетках германия или кремния полупроводниковых приборов является процессом более инерционным, чем пролет электронов в электронных лампах. Таким образом, если время пролета электронов в лампах обычно необходимо принимать во внимание лишь при работе с импульсами наносекундной длительности, то процессы установления стационарных токов, определяемых статическими характеристиками полупроводниковых приборов, необходимо учитывать при работе с микросекундными импульсами.

§ 1.2. Электронные ключи на биполярных транзисторах

Рассмотрим транзисторные ключевые схемы на биполярных транзисторах (диффузионных и дрейфовых) типов $p-n-p$ и $n-p-n$. В основном рассмотрим схему на дискретных транзисторах типа $p-n-p$. Переход к схемам на транзисторах $n-p-n$ сводится лишь к замене полярностей включения источников питания на обратные.

В импульсных устройствах используются все схемы включения транзистора: ОЭ – общий эмиттер, ОБ – общая база, ОК – общий коллектор, схема "Звезда", когда ни один из выводов электродов транзистора не заземлен, т.е. не является общей точкой, и инверсная схема включения, в которой меняются функциями эмиттер и коллектор транзистора. Наиболее употребительной является схема с ОЭ, поэтому все последующие выкладки относятся к ней.

Принципиальные схемы ключа с ОЭ на транзисторах разных проводимостей приведены на рис. 1.2, а, б; здесь же указаны и выбранные положительные направления токов.

Введем обозначения:

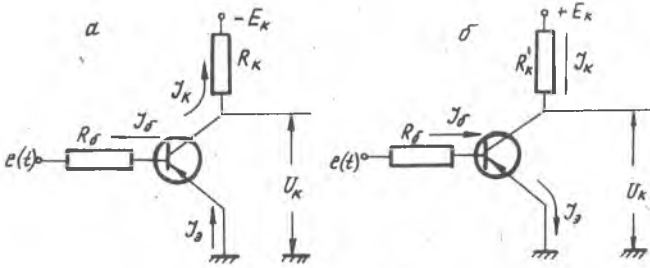
U_K (иногда $U_{K.Б}$) – напряжение на коллекторе по отношению к базе;

$U_э$ (иногда $U_{э.Б}$) – напряжение на эмиттере по отношению к базе;

$U_б$ (иногда $U_{б.э}$) – напряжение на базе по отношению к эмиттеру;

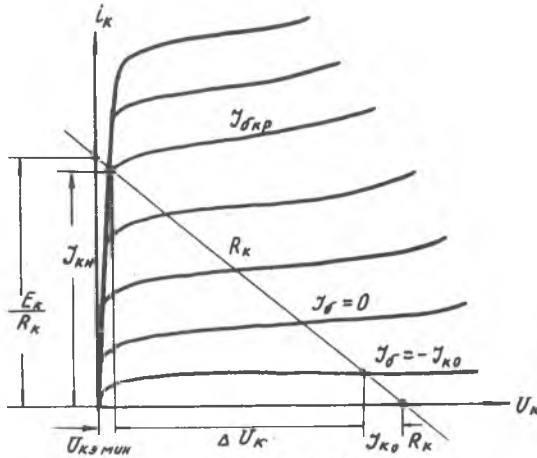
$$U_б = - U_э ;$$

$U_{K.э}$ – напряжение на коллекторе по отношению к эмиттеру
(выходное напряжение ключа).



Р и с. I.2

Рассмотрим семейство характеристик $i_K = f(U_K)$ и отметим их особенности, важные для ключевого режима (рис. I.3).



Р и с. I.3

1. Линия критического режима почти совпадает с осью токов. Это свидетельствует о том, что напряжение на открытом транзисторе невелико. (Для германиевых транзисторов при $J_K < 50$ мА $U_{к.э\ мин} \approx \approx 0,2 - 0,3$ В).
2. Нижняя предельная характеристика не совпадает с осью напряжений. Это говорит о том, что в закрытом транзисторе протекает ток.
3. Густота характеристик увеличивается с увеличением $J_б$ на постоянную величину. Это свидетельствует об уменьшении β , т.к. $\beta = \frac{\Delta i_K}{\Delta i_б}$. В связи с этим будем считать, что $\beta = \bar{\beta}$, т.е.

под β будем понимать среднее значение при изменении i_K от $J_K = 0$ до J_{KH} .

Из характеристик следует, что для насыщения транзистора необходимо задать ток $J_B > J_{B, \text{кр}} = \frac{J_{KH}}{\beta}$.

Как и любой другой, транзисторный ключ можно оценить по следующим показателям:

- ΔU_2 } перепады выходного напряжения и тока. По этим параметрам
- Δi_2 } оценивается ключ по мощности;
- ΔU_1 } перепады входного напряжения и тока. Эти параметры харак-
- Δi_1 } теризуют чувствительность ключа;
- $R_{\text{вых}}$ - выходное сопротивление ключа;

$t_{\text{вкл}}$ и $t_{\text{выкл}}$ - параметры, характеризующие быстрдействие ключа.

Произведем оценку транзисторного ключа по этим параметрам, воспользовавшись следующими характеристиками (рис. I.3):

в режиме запертия $U_2 = U_{\text{вых}} = E_K - J_{K0} R_K$;

в режиме насыщения $U_2 = U_{\text{вых}} = U_{K, \text{э min}}$;

следовательно, $\Delta U_K = \Delta U_2 = E_K - J_{K0} R_K - U_{K, \text{э min}}$.

При $E_K \gg 10U_{K, \text{э min}}$, что практически всегда выполняется, имеем $U_{K, \text{э min}} \ll E_K$.

$J_{K0} R_K \ll E_K$, тогда $\Delta U_2 = \Delta U_K \approx E_K$

Оценим ключ по параметру Δi_2 :

в режиме запертия $i_{\text{вых}} = J_{K0}$;

в режиме насыщения $i_{\text{вых}} = J_K = J_{KH} = \frac{E_K - U_{K, \text{э min}}}{R_K} \approx \frac{E_K}{R_K}$;

следовательно, $\Delta i_2 = \Delta i_K = \frac{E_K - U_{K, \text{э min}}}{R_K} - J_{K0} \approx \frac{E_K}{R_K} = J_{KH}$

Из приведенного видно, что по этим двум показателям транзисторный ключ весьма близок к идеальному.

При оценке транзисторного ключа по показателям ΔU_1 и Δi_1 необходимо учесть следующие особенности: так как в режиме насыщения входное сопротивление транзистора очень мало ($z_{\text{вх}} \approx 0$), то ток базы определяется величиной источника E_B и сопротивлением R_B .

В этом случае входная цепь транзистора эквивалентна генератору тока (рис. I.4). следовательно, $J_B = \frac{E_B}{R_B}$.

При режиме запертия входное сопротивление транзистора велико, так что $z_{\text{вх}} \gg R_B$ и входная цепь уподобляется генератору напряжения.

Для обеспечения режима запертия условимся выполнять неравенство $U_{B3} > 0$ (I.1)

Выходное сопротивление транзисторного ключа принято определять ($R_{\text{вых}} = R_K$) как наилучший случай.

Прежде чем оценивать транзисторный ключ по быстрдействию, необходимо более подробно рассмотреть режимы запертия и насыщения. Это

необходимо сделать, так как в закрытом транзисторе, как уже отмечалось выше, протекают токи, оказывающие в ряде случаев большое влияние на работу некоторых схем.

Режим запираания

Введем следующие обозначения:

- $J_{к.0}$ - обратный ток коллекторного перехода, замеренный при разомкнутой цепи эмиттера;
- $J_{э.0}$ - обратный ток эмиттерного перехода, замеренный при разомкнутой цепи коллектора.

У реальных транзисторов наблюдается довольно сильная зависимость этих токов от величины запирающего напряжения, поэтому введем обозначения начальных значений обратных токов изолированных переходов для малых значений $U_{закл} 0,1 - 0,2$ В:

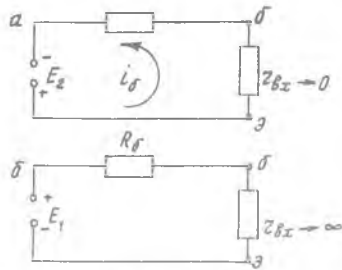
- $J'_{к.0}$ - начальное значение обратного тока коллекторного перехода;
- $J'_{э.0}$ - начальное значение обратного тока эмиттерного перехода.

Токи, протекающие в транзисторе в режиме запираания (не изолированные переходы), будем обозначать:

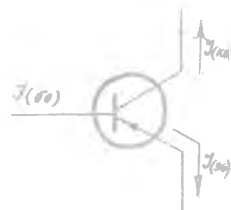
- $J_{(к.0)}$ - обратный ток коллекторного перехода транзистора;
- $J_{(э.0)}$ - обратный ток эмиттерного перехода транзистора;
- $J_{(б.0)}$ - обратный базовый ток транзистора;
- $J'_{(к.0)}$, $J'_{(э.0)}$ и $J'_{(б.0)}$ - начальные значения обратных токов транзистора.

Токи $J_{(э.0)}$ и $J_{(к.0)}$ часто называют обратными одновременными токами, т.е. оба перехода работают одновременно. Направления этих токов показаны на рис. 1.5. Очевидно, что $J_{(б.0)} = J_{(к.0)} + J_{(э.0)}$. Влияние токов $J_{(к.0)}$ и $J_{(э.0)}$ на работу транзистора невелико, так как эти токовые составляющие даже при высоких температурах на один - два порядка меньше рабочих токов. А вот ток $J_{(б.0)}$ оказывает заметное влияние на работу транзисторного ключа.

Из известных уравнений Эберса - Молла [3] можно получить выражение



Р и с. 1.4



Р и с. 1.5

$$J'_{\beta 0} = J'_{(\beta 0)} + J'_{(\kappa 0)} = J'_{\kappa 0} \frac{\alpha - \alpha_i (2\alpha - 1)}{\alpha (1 - \alpha \alpha_i)}, \quad (I.2)$$

где α_i - коэффициент передачи тока эмиттера при инверсном включении.

Так как $\alpha \rightarrow 1$ то из выражения (I.2) следует, что $J'_{\beta 0} \rightarrow J_{\kappa 0}$, т.е. $J'_{(\beta 0)} \rightarrow 0$, т.е. в реальных транзисторах можно не учитывать тепловую составляющую эмиттерного перехода, а считать

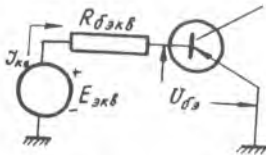
$$J_{\beta 0} = J_{\kappa 0}. \quad (I.3)$$

Все тепловые составляющие, как это следует из уравнений Эберса-Молла, зависят от величины запирающего напряжения и окружающей температуры. Чтобы учесть это обстоятельство, примем в дальнейшем

$$J_{\beta 0} = J_{\kappa 0} + 1,5 \frac{E_{\kappa}}{2\kappa} \left| \text{при } t^{\circ}\text{C} = t^{\circ}\text{C}_{\text{max}} = J_{\text{ш.б}}, \quad (I.4)$$

т.е. это экстремальное значение тепловой составляющей, взятое при $U_{\text{зап}} = 1,5 E_{\kappa}$ и максимальной температуре.

Тогда условия запирания транзистора сведутся к следующему условию: так как в любом случае базовую цепь транзистора можно привести к виду, показанному на рис. I.6, то $U_{\beta 2} > 0$ - режим запирания, $U_{\beta 2} = E_{\text{элб}} - J_{\kappa 0} R_{\beta \text{элб}} > 0$ или $R_{\beta \text{элб}} < \frac{E_{\text{элб}}}{J_{\kappa 0}}$. Подставляя сюда вместо $J_{\kappa 0}$ его экстремальное значение, получим условие запирания транзистора, рассчитанное на наихудший случай



Р и с. I.6

$$R_{\beta \text{элб}} < \frac{E_{\text{элб}}}{J_{\text{ш.б}}}. \quad (I.5)$$

Режим насыщения

Как следует из характеристик (рис. I.3)

условие насыщения транзистора записывается следующим образом:

$$J_{\beta} > J_{\beta \text{кр}} = \frac{J_{\kappa \text{н}}}{\beta} = \frac{E_{\kappa}}{R_{\kappa} \beta}. \quad (I.6)$$

При задании в базу тока $J_{\beta} > J_{\beta \text{кр}}$ ток коллектора уже не изменяется, так как транзистор "стянулся в точку", и $J_{\kappa \text{н}}$ не зависит от транзистора:

$$J_{\kappa \text{н}} = \frac{E_{\kappa}}{R_{\kappa}}.$$

В этом случае в базе накапливается избыточный заряд, вносимый дырками. Чтобы охарактеризовать это состояние транзистора, вводится коэффициент - степень насыщения или глубина насыщения:

$$N = \frac{J_{\beta}}{J_{\beta \text{кр}}} \quad \text{или} \quad N = \frac{J_{\beta} - J_{\beta \text{кр}}}{J_{\beta \text{кр}}}. \quad (I.7)$$

Как видно, режим насыщения определяется не величинами токов, а их соотношением и может иметь место при весьма малых токах.

С увеличением степени насыщения напряжения между электродами транзистора все меньше и меньше зависят от токов, поэтому насыщенный ключ более стабилен.

Переходные характеристики транзисторного ключа

Вопросы быстродействия ключа, т.е. время его перехода из одного состояния в другое, наиболее важны в транзисторной технике, так как именно они и определяют быстродействие триггерных схем, мультивибраторов и т.д.

Анализ переходных характеристик ключа с ОЭ удобно провести, используя положение заряда [3], связывающего его в базе транзистора с токами. Эта связь выражается зависимостью

$$-\frac{dQ}{dt} + \frac{Q}{\tau} = J_B \quad (I.8)$$

Здесь Q - заряд в базе;

τ - среднее время жизни носителей в базе (в ряде источников применяется обозначение τ_B).

В стационарном режиме имеем

$$Q = \tau J_B \quad (I.9)$$

На границе насыщения, когда $J_B = J_{B,кр}$ можно записать

$$J_{B,кр} \tau = Q_{зр} \quad (I.10)$$

или в другой форме

$$Q_{зр} = \tau J_{B,кр} = \tau \frac{J_{К,Н}}{\beta} \approx \tau_{\alpha} J_{К,Н} \quad (I.11)$$

где τ_{α} - среднее время пролета носителей через базу.

Выразив токи в выражении (I.7) через заряды, мы получим наглядную интерпретацию степени насыщения:

$$N = \frac{Q}{Q_{зр}} \text{ или } N = \frac{Q - Q_{зр}}{Q_{зр}} \quad (I.12)$$

В литературе встречаются обе формы записи степени насыщения.

Численная разность между ними равна единице. Условимся в дальнейшем применять запись

$$N = \frac{Q - Q_{зр}}{Q_{зр}} = \frac{J_B - J_{B,кр}}{J_{B,кр}} \quad (I.13)$$

В операторной форме выражение (I.8) можно записать как

$$Q(p) = \frac{J_B(p)\tau - \tau(p)Q(0)}{1 + p\tau} \quad (I.14)$$

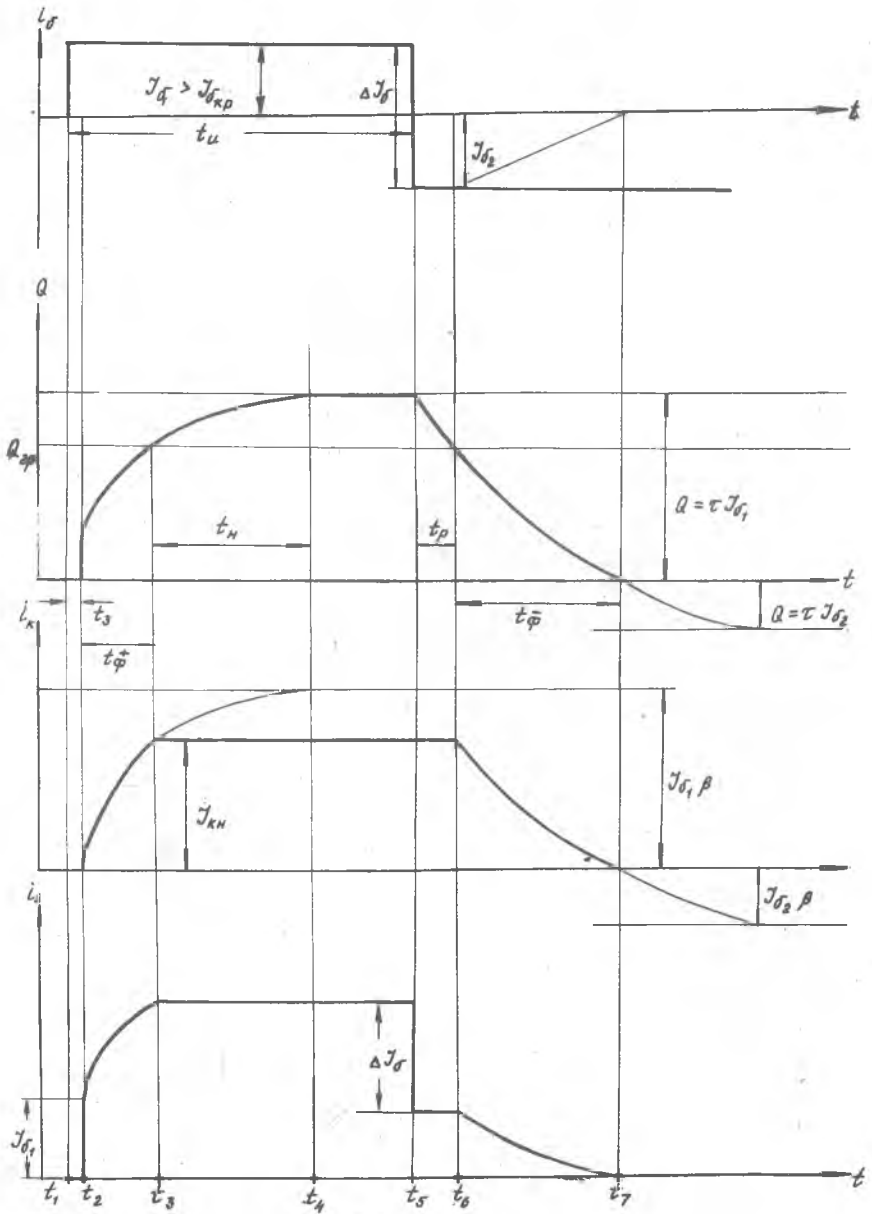
В частном случае, когда $Q(0) = 0$, получим

$$Q(p) = \frac{J_B(p)\tau}{1 + p\tau} = \frac{J_B(p)}{p + \frac{1}{\tau}} \quad (I.15)$$

Процесс замыкания ключа состоит из трех стадий (рис. I.7):

задержки выключения - t_3 ;

формирования положительного фронта - t_f^+ ;



Р и с. 1.7

накопления носителей (заряда) в базе $- t_H$;
 Процесс размыкания ключа состоит из следующих стадий:
 рассасывания избыточного заряда в базе $- t_p$;
 формирования отрицательного фронта $- t_{\varphi}^-$.

Стадия задержки ($t_2 - t_1 = t_3$)

Эта стадия обусловлена перезарядкой барьерных емкостей C_3 и C_K под воздействием входного сигнала. Так как эта стадия лишь сдвигает переходные характеристики и является наименее продолжительной из всех стадий (порядка десятков наносекунд), то учет ее обычно проводится в редких случаях.

Стадия формирования t_{φ}^+ ($t_3 - t_2 = t_{\varphi}^+$)

Так как при $t < t_2$ $Q = 0$ воспользуемся выражением (I.I5), учитывая это обстоятельство. Подставим в (I.I5) значение тока J_{B1} :

$$Q(p) = \frac{J_{B1}}{p + \frac{1}{\tau}} . \text{ Переходя к оригиналу, получим } Q(t) = J_{B1} \tau (1 - e^{-\frac{t}{\tau}}) .$$

При достижении $Q(t) = Q_{2p}$ закончится формирование t_{φ}^+ , следовательно, $Q_{2p} = J_{B1} \tau (1 - e^{-\frac{t}{\tau}})$.

Подставляя сюда значение Q_{2p} из (I.II), определим значение t_{φ}^+ :

$$t_{\varphi}^+ = \tau \ln \frac{J_{B1}}{J_{B1} - \frac{Q_{2p}}{\tau}} \quad (I.I6)$$

Так как $Q = \frac{\tau}{\beta} J_K$, можем получить

$$i_K(t) = \beta J_{B1} (1 - e^{-\frac{t}{\tau}}) , \quad (I.I7)$$

т.е. ток коллектора нарастает по экспоненциальному закону. При условии сильного включающего сигнала, когда $\beta J_{B1} \gg J_{KH}$, фронт импульса близок к линейному. Разлагая в ряд экспоненту (I.I7) или логарифм (I.I6), получим для сильного сигнала

$$t_{\varphi}^+ \approx \tau_{\alpha} \frac{J_{KH}}{J_{B1}} \text{ и } i_K(t) = \frac{\beta}{\tau} J_{B1} t . \quad (I.I8)$$

Стадия накопления t_H ($t_H - t_3 = t_H$) .

С момента $t_{\varphi}^+ = t_3$ все три тока (J_{B1} , J_K , J_{β}) не изменяются. Продолжается лишь накопление заряда в базе. Этот процесс закончится через время

$$t_H \approx 3\tau_H . \quad (I.I9)$$

Здесь τ_H - время (среднее) жизни носителей в базе в режиме накопления. $\tau_H < \tau$, так как увеличивающееся количество дырок в базе увеличивает вероятность встречи дырки и электрона, т.е. увеличивает скорость рекомбинации. Следовательно, время жизни носителей уменьшается. Обычно полагают, что $\tau_H \approx 0,8\tau$

Выражение (I.19) справедливо, если длительность включающей ступеньки J_{s1} , т.е. $t_u \gg \tau_n$. В противном случае необходимо пользоваться выражением

$$Q(tu) = J_{s1} \tau_n (1 - e^{-\frac{tu}{\tau_n}}). \quad (I.20)$$

Стадия рассасывания t_p ($t_6 - t_5 = t_p$)

В момент времени t_5 на базу транзистора подается выключающий ток J_{s2} , т.е. ток обратного направления. Очевидно, что пока не исчезнет (рассасется) избыточный заряд в базе, транзистор не выйдет из режима насыщения. Следовательно, ток коллектора $i_k(t)$ на этой стадии остается постоянным. Эта задержка в выключении, специфическое свойство транзисторов, называется временем рассасывания избыточного заряда в базе.

Для анализа этой стадии необходимо воспользоваться выражением (I.14), так как в этом случае $Q(0) \neq 0$.

В общем случае имеем: $Q(0) = Q(tu) = J_{s1} \tau_n (1 - e^{-\frac{tu}{\tau_n}})$.

Подставляя все это в (I.14) получим $Q(p) = \frac{J_{s1} \tau_n + \beta Q(0)}{p - \frac{1}{\tau}}$ или, переходя к оригиналу,

$$Q(t) = Q(0) e^{-\frac{t}{\tau}} + J_{s2} \tau (1 - e^{-\frac{t}{\tau}})$$

Отсюда при $t = t_p$ $Q(t) = Q_{zpr}$, следовательно, $t_p = \tau \ln \frac{Q(0) - J_{s2} \tau}{Q_{zpr} - J_{s2} \tau}$

Делая подстановку $Q(0)$ и Q_{zpr} , получим

$$t_p = \tau \ln \frac{J_{s1} (1 - e^{-\frac{t_u}{\tau_n}}) - J_{s2}}{\frac{J_{s1}}{\beta} - J_{s2}} \quad (I.21)$$

В случае, когда $t_u \gg \tau_n$, получим

$$t_p = \tau_p \ln \frac{J_{s1} - J_{s2}}{\frac{J_{s1}}{\beta} - J_{s2}} = \tau_p \ln \frac{\Delta J_s}{\frac{J_{s1}}{\beta} - J_{s2}} \quad (I.22)$$

Замена в этом выражении τ на τ_p вызвана теми же причинами, что и замена τ на τ_n . Обычно полагают $\tau_p = (0,8 - 0,9) \tau_n = (0,7 \div 0,8) \tau$

При наличии сильного выключающего сигнала можно получить

$$t_p = \frac{\tau_p}{\beta} \frac{N J_{s1}}{\Delta J_s} \quad \text{или} \quad t_p = \tau_p \frac{J_{s1}}{\Delta J_s}. \quad (I.23)$$

Стадия формирования t_p^- ($t_7 - t_6 = t_p^-$)

Эта стадия является продолжением предыдущей, следовательно, воспользовавшись теми же приемами, можем получить по аналогии $Q(t) = Q(0) e^{-\frac{t}{\tau}} + J_{s2} \tau (1 - e^{-\frac{t}{\tau}})$. В этом случае $Q(0) = Q_{zpr}$

При $t = t_{\varphi}^-$ имеем $Q(t) = 0$, подставляя все это в (I.14) получаем:

$$0 = \tau \frac{J_{KH}}{\beta} e^{-\frac{t_{\varphi}}{\tau}} + J_{\beta 2} \tau (1 - e^{-\frac{t_{\varphi}}{\tau}})$$

или отсюда

$$t_{\varphi}^- = \tau \ln \frac{J_{KH} - J_{\beta 2}}{J_{\beta 2}} \quad (I.24)$$

При наличии сильного выключающего сигнала, т.е. когда $|J_{\beta 2}| \gg \frac{J_{KH}}{\beta}$, получим

$$t_{\varphi}^- \approx \tau \frac{J_{KH}}{J_{\beta 2}} \quad (I.25)$$

На рис. I.7 приведены законы изменения токов транзистора в режиме переключения. Следует отметить, что выражение (I.25) дает несколько заниженный результат, так как в нем не учтено уменьшение базового тока $J_{\beta 2}$ на этой стадии из-за увеличивающегося входного сопротивления транзистора.

§ I.3. Электрические ключи на полевых транзисторах

Полевые транзисторы с изолированным затвором (МДП-транзисторы) обладают рядом достоинств, благодаря которым они имеют перспективы широкого применения. К этим достоинствам прежде всего относится их более высокая по сравнению с биполярными транзисторами технологичность и возможность изготовления большого числа приборов (несколько сотен) на одной подложке. Поэтому наиболее целесообразно применять полевые транзисторы в интегральных схемах. Другое важное их достоинство состоит в том, что управление током в выходной цепи осуществляется изменением поперечного электрического поля в канале, т.е. изменением напряжения на затворе, изолированном от канала слоем диэлектрика. Благодаря этому МДП-транзисторы имеют очень высокое входное сопротивление и в статическом состоянии практически не потребляют энергии во входной цепи.

Ключи на МДП-транзисторах строятся по той же схеме (рис. I.1), нагрузкой может служить, как и в ключах на биполярных транзисторах, резистор. При интегральном исполнении, которое для МДП-транзисторов следует считать основным, в качестве нагрузки обычно применяют также МДП-транзистор. В этом случае ключ состоит из двух транзисторов: коммутирующего и нагрузочного. С точки зрения интегральной технологии, более целесообразным оказывается создание в качестве нагрузки второго транзистора, чем линейного резистора с достаточно большим номиналом.

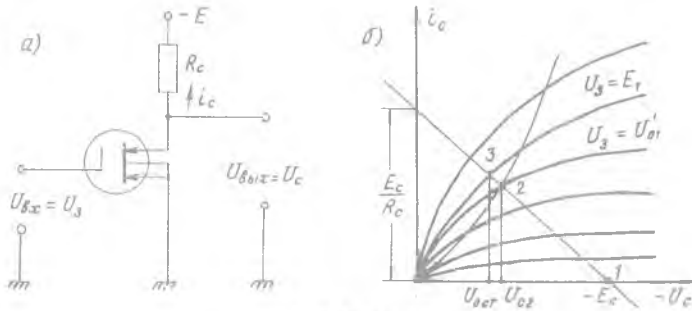
Нагрузочный транзистор может быть с встроенным и индуцированным

каналами, с каналом ρ - типа и n - типа, его затвор может быть соединен со стоком, с истоком, иметь отдельный источник питания и т.д. В зависимости от этого нагрузка может иметь большое число видов вольт-амперных характеристик, причем каждая из них удобна для какого-либо конкретного применения ключа. Таким образом, помимо технологической целесообразности, двухтранзисторная схема обладает универсальностью, обеспечивающей в принципе получение наилучших свойств ключа в каждом конкретном случае (быстродействие, энергетическую экономичность и т.д.).

Ключ с линейной нагрузкой

На рис.1.8,а представлена схема ключа на транзисторе с индуцированным каналом ρ - типа с резистором в качестве нагрузки.

В зависимости от уровня входного напряжения $U_{\delta x}$ транзистор может быть либо в открытом, либо в закрытом состоянии. При этом выходное напряжение $U_{\delta y}$, равное напряжению на стоке U_c , будет соответственно, либо малым по абсолютному значению, либо большим.



Р и с. 1.8

Имеются, однако, и существенные особенности в работе ключа на МДП-транзисторе. Для их выяснения обратимся к рис.1.8,б на котором изображено семейство выходных характеристик транзистора $i_c = f(U_c)$ для разных напряжений на затворе U_{δ} и проведена нагрузочная линия, соответствующая данному значению сопротивления резистора R_c . Существуют две области характеристик: пологая ("пентодная") область, соответствующая большому внутреннему сопротивлению транзистора и слабой зависимости i_c от напряжения U_c , и крутая ("триодная"), где характеристики представляют собой пучок почти прямых линий, проходящих через начало координат. Линия раздела между обеими областями

показана на рис.1.8,б пунктиром и соответствует значениям напряжения на стоке:

$$U_c = U_3 - E_{30} \quad (I.26)$$

где E_{30} - напряжение запирания транзистора, т.е. такое напряжение на затворе, при котором транзистор либо отпирается, и в нем появляется ток стока, либо запирается, если напряжение U_3 изменяется в другом направлении.

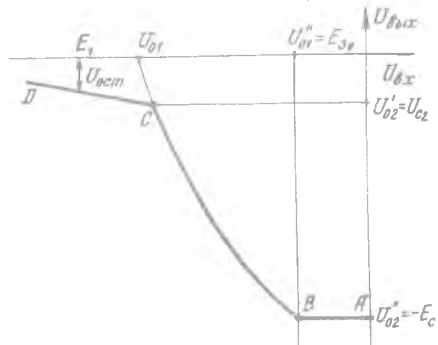
Следует отметить, что крутая область представляется в виде сравнительно широкого пучка характеристик. В обычном масштабе они не вырываются в линию, как в маломощных биполярных транзисторах. Поэтому этот ключ не имеет четко определенного уровня выходного напряжения после включения, так как остаточное напряжение на стоке открытого транзистора в крутой области зависит, вообще говоря, от напряжения на затворе. Важно так же и то, что напряжение запирания E_{30} довольно велико, порядка единиц вольт.

Работа ключа иллюстрируется его статической характеристикой

$$U_{\delta_{01x}} = f(U_{\delta_{0x}}),$$

представленной на рис.1.9. Для управления транзистором с p - каналом напряжение $U_{\delta_{0x}}$ должно быть отрицательным. При $|U_{\delta_{0x}}| < |E_{30}|$ (участок АВ) транзистор закрыт.

Ток стока равен тепловому току $J_{c,0}$, т.е. очень мал (значительно меньше теплового тока $J_{к,0}$ в биполярных транзисторах). Пренебрегая падением напряжения на резисторе R_c за счет этого тока, можно считать, что выходное напря-



Р и с. I.9

жение $U_{\delta_{01x}}$ равно напряжению питания E_c , т.е. $U_{\delta_{02}} = -E_c$.

Когда напряжение $U_{\delta_{0x}}$, увеличиваясь по абсолютному значению, достигает уровня $U_{\delta_{01}} = E_{30}$, транзистор открывается (точка I на рис. 1.8,б), и при дальнейшем увеличении напряжения $|U_{\delta_{0x}}|$ ток стока i_c нарастает, а напряжение $|U_{\delta_{01x}}|$ уменьшается (участок BC). Это изменение $U_{\delta_{01x}}$ нелинейно, так как нелинейна зависимость $i_c = f(U_3)$ в пологой области характеристик. Уровнем включения ключа можно считать границу между пологой и крутой областями характеристик. На основании (I.26) с учетом того, что в данном случае $U_{\delta_{0x}} = U_3$ и $U_{\delta_{01x}} = U_{c1}$ можем записать $U_{\delta_{01}} = U_{c2} + E_{30}$,

где U_{c2} - напряжение на стоке, соответствующее точке пересечения линии нагрузки с границей областей характеристик (точка 2 на рис. 1.8, б).

Соответствующий этому уровень выходного напряжения $U_{o2}^1 = U_{c2}$. При дальнейшем изменении $U_{\delta x}$ (участок СД) напряжение $U_{\delta oix}$ тоже изменяется, но не так резко, как в пологой области характеристик. Если при работе ключа напряжение $U_{\delta x}$ достигает определенного уровня E_1 , то на выходе будет соответствующее ему остаточное напряжение U_{ocm} (точка 3 на рис. 1.8, б).

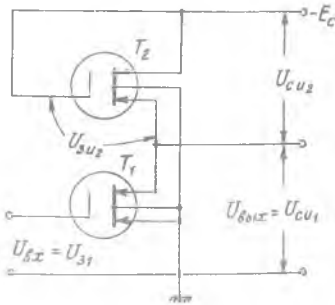
Заметим, что сопротивление транзистора в крутой области характеристик мало (обычно сотня ом). Поэтому, выбирая сопротивление резистора R_c сравнительно большим, можно получить достаточно малое остаточное напряжение U_{ocm} , и его изменение при изменении входного напряжения $U_{\delta x}$ будет также незначительно по сравнению с величиной E_c .

Ключ на транзисторах
с каналами одного типа проводимости

На рис. 1.10 приведена схема ключа на двух транзисторах с индуцированным каналом p -типа. Коммутирующий транзистор T_1 управляется входным напряжением $U_{\delta x}$, подаваемым на затвор. Затвор нагрузочного транзистора T_2 соединен с его стоком. В процессе работы ключа напряжение U_{3U2} между затвором и истоком этого транзистора изменяется в соответствии с изменением выходного напряжения $U_{\delta oix}$, так как

$$U_{3U2} = -E_c - U_{\delta oix} \quad (1.27)$$

Этот ключ отличается от ключа с линейной нагрузкой (рис. 1.8, а) только

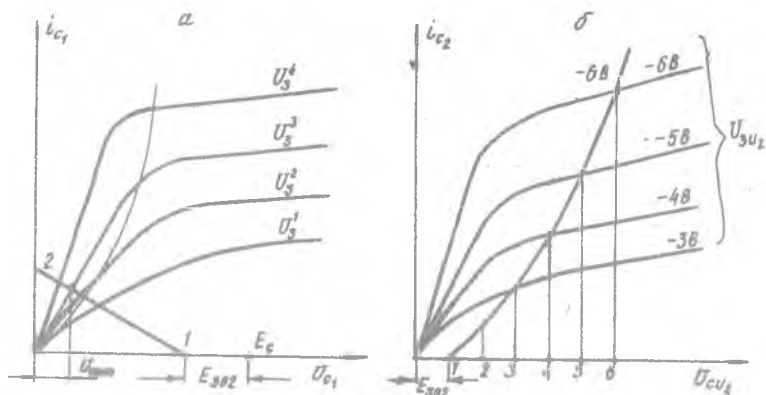


Р и с. 1.10

характером нагрузки. На рис. 1.11, а изображено семейство выходных характеристик $i_{c1} = f(U_{c1})$ коммутирующего транзистора T_1 при $U_3 = const$. Там же показана нагрузочная кривая, представляющая собой вольт-амперную характеристику нагрузочного транзистора T_2 , изображенную в тех же координатах.

Построение характеристики транзистора T_2 при $U_{cu} = U_{3U}$, т.е.

при соединении затвора со стоком, иллюстрируется примером на рис. I.II,б (масштаб по оси ординат сильно увеличен). Для каждого значения U_{3U_2} на характеристике находится точка, соответствующая равенству $U_{3U} = U_{CU}$. Приведенная через эти точки кривая и есть искомая характеристика нагрузочного транзистора в этом режиме.



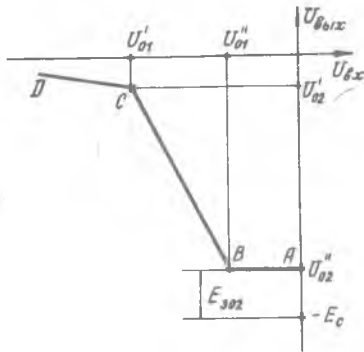
Р и с. I.II

Так как в пологой области ток стока i_c почти не зависит от напряжения на стоке U_{CU} , то эта характеристика выражает зависимость тока стока от напряжения на затворе U_{3U} , т.е. по существу является проходной характеристикой транзистора T_2 .

Так как полученная характеристика в отличие от характеристики резистора не проходит через начало координат, то и нагрузочная кривая на рис. I.II,а начинается не от точки $U_{C1} = -E_c$, а левее на величину $|E_{302}|$.

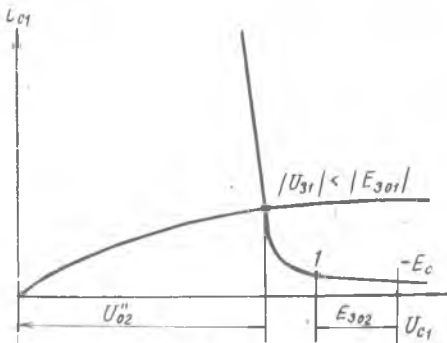
Вольт-амперная характеристика транзистора T_2 существенно нелинейна, поэтому этот ключ принято называть ключом с нелинейной нагрузкой.

Для получения достаточно малого остаточного напряжения на выходе при открытом коммутирующем транзисторе необходимо, чтобы нагрузочная кривая на рис. I.II,а проходила достаточно полого, т.е. проходная характеристика транзистора имела достаточно малую крутизну. С этой целью его канал делается более узким, чем у транзистора T_1 . Характеристика передачи ключа $U_{\delta, X} = f(U_{\delta X})$ показана на рис. I.I2. Она отличается от аналогичной характеристики для ключа с линейной нагрузкой тем, что уровень выходного напряжения U_{02}' при выключенном ключе здесь не равен $-E_c$. Кроме того, характеристика проходит иначе на



Р и с. I. 12

к рис. I. 13. На нем изображена выходная характеристика $i_{c1} = f(U_{c1})$ закрытого транзистора T_1 (для $|U_{31}| < |E_{301}|$) и нагрузочная линия, представляющая собой "обращенную" проходную характеристику тран-



Р и с. I. 13

зистора T_2 . Отличие этого рисунка от рис. I. 11, а состоит в том, что масштабы по оси ординат сильно увеличены, чтобы были видны характеристики закрытых транзисторов (на рис. I. 11, а они совпадают с осью ординат). Благодаря тому, что транзистор T_2 , как уже отмечалось, имеет более узкий канал, его тепловой ток J_{c02} и ток утечки меньше, чем у транзистора T_1 . Поэтому точка I, соответствующая границе запертия транзистора T_2 , лежит ниже характеристик транзистора T_1 . Точка пересечения характеристик, которая определяет ток, протекающий через транзисторы, получается левее точки I (транзистор T_2 открыт), но вблизи нее. При этом напряжение между стоком и истоком транзистора T_2 практически равно напряжению запертия E_{302} и уровень выходного напряжения $U_{\theta_{01x}}$ на участке АВ характеристики передачи близок к величине

$$U_{02}'' = -E_c + |E_{302}|.$$

(I. 28)

участке ВС. Выясним причины этих отличий, из которых наиболее важным является первое. При $|U_{\delta x}| < |E_{301}|$ коммутирующий транзистор T_1 закрыт. Нагрузочный же транзистор T_2 при этом находится на грани запертия, т.е. он открыт настолько, насколько это требуется для пропускания через него малых токов закрытого транзистора T_1 : теплового тока J_{c01} и тока утечки, а также тока нагрузки, если она подключена к выходу.

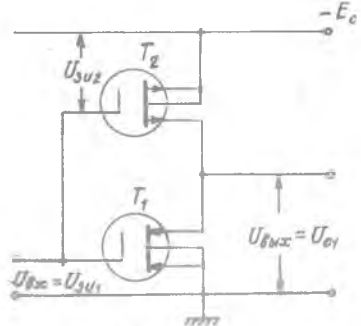
Для пояснения этого обратимся

После отпирания транзистора T_1 (точка В) оба транзистора работают в пологой области характеристик. Этим обусловлено линейное изменение $U_{\delta_{ix}}$ на участке ВС. В точке С транзистор T_1 переходит в крутую область характеристик. Если напряжение U_{δ_x} достигает, например, уровня $U_{\delta_x} = U_3^*$, остаточное напряжения U_{ocm} будет соответствовать точке 2 на рис. I.11, а.

В приведенных выше рассуждениях предполагалось, что напряжения запирания обоих транзисторов при переключении остаются постоянными. Это справедливо, когда истоки транзисторов соединены с подложкой. В интегральных схемах обычно общая подложка "заземлена", как это показано на рис. I.10, и с ней соединен лишь исток транзистора T_1 . Поэтому при возрастании выходного напряжения $|U_{\delta_{ix}}|$ возрастает по абсолютному значению и напряжение между истоком транзистора T_2 и подложкой. Это приводит к тому, что напряжение запирания E_{302} этого транзистора увеличивается по абсолютному значению, что, свою очередь, уменьшает уровень выходного напряжения $|U_{o2}''|$ в соответствии с формулой (I.28). Этот уровень может оказаться недостаточным для нормальной работы последующих элементов. В таком случае затвор транзистора T_2 не соединяют со стоком, а подключают к отдельному источнику смещения E_{cm} , причем $E_{cm} > E_c$. Тогда $U_{o2}'' = -E_{cm} + |E_{302}|$, и состояние равновесия устанавливается при большой величине $|U_{o2}''|$.

**Ключи на транзисторах
с каналами разных типов проводимости**

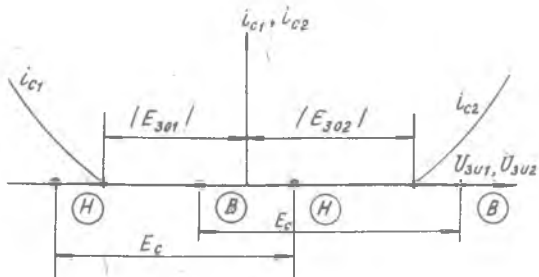
Схема ключа на транзисторах с индуцированными каналами p и n типа приведена на рис. I.14. Коммутирующий транзистор T_1 имеет канал p - типа, а нагрузочный транзистор T_2 - канала n - типа. Стоки транзисторов соединены и с них снимается выходное напряжение $U_{\delta_{ix}}$. Затворы также соединены друг с другом и на них подается входное напряжение U_{δ_x} . В данном случае разделение транзисторов на коммутирующий и нагрузочный условно, так как они оба управляются входным сигналом, и, таким образом, оба выполняют функцию коммутации. Подложки транзисторов T_1 и T_2 изолированы друг от дру-



Р и с. I.14

га и поэтому оказывается возможным соединить истоки обоих транзисторов с их подложками, как показано на рис. I.14.

Рассмотрим работу ключа, пользуясь рис. I.15, на котором изображены статические проходные (стоко-затворные) характеристики транзисторов.



Р и с. I.15

На этих характеристиках нас будут интересовать лишь точки $E_{з01}$ и $E_{з02}$, определяющие границы между закрытым и открытым состояниями каждого из транзисторов. Заметим, что один из транзисторов всегда закрыт. Следовательно, реальные динамические характеристики транзисторов при отсутствии нагрузки практически совпадают бы с осью абсцисс. Входное отрицательное напряжение $U_{зв}$ подается на затвор транзистора T_1 , т.е. $U_{зв1} = U_{зв}$. Напряжение между затвором транзистора T_2 и его истоком, подсоединенными к источнику питания $-E_c$, определяется равенством $U_{зв2} = U_{зв} - E_c$, и если $|U_{зв}|$ не превышает E_c , то $U_{зв2}$ всегда положительно.

Входное напряжение $U_{зв}$ изменяется между нижним $U_{зв}''$ и верхним $U_{зв}'$ уровнями. Напряжения на затворах транзисторов относительно истоков, соответствующие этим уровням, отмечены на рис. I.15 кружками с буквами "H" и "B".

Для выключения ключа необходимо выполнение следующих условий:

$$\left. \begin{aligned} |U_{зв1}| &= |U_{зв}'| < |E_{з01}| \\ U_{зв2} &= U_{зв} + E_c > E_{з02} \end{aligned} \right\} \quad (I.29)$$

При этом транзистор T_1 закрыт, а транзистор T_2 открыт и работает в крутой области характеристик. В этом режиме сопротивление транзистора T_2 мало, и выходное напряжение $U_{вых}$ будет близко к E_c . При подключении внешней нагрузки к выходу ключа через нее будет проте-

касть ток стока i_{c2} . Для выключения ключа необходимо выполнение условий:

$$\left. \begin{aligned} |U_{301}| &= |U_{\delta x}| > |E_{301}| \\ U_{302} &= U_{\delta x} < E_{302} \end{aligned} \right\} \quad (1.30)$$

При этом транзистор T_1 открыт и работает в крутой области характеристик, а транзистор T_2 закрыт. Выходное напряжение $U_{\delta_{0,x}}$ равное остаточному напряжению на стоке T_1 , близко к нулю.

Пусть напряжение источника питания E_c выбрано так, что оно превышает по абсолютному значению напряжения запирания любого из транзисторов (E_{301} и E_{302}), но меньше суммы их абсолютных значений:

$$E_c < |E_{301}| + |E_{302}|.$$

Тогда в процессе переключения будет такое положение, когда оба транзистора закрыты. Это можно пояснить следующим.

Как видно из рис. 1.14, в рассматриваемом ключе сумма напряжений между затворами и истоками транзисторов всегда равна E_c . Поэтому на рис. 1.15, например, точки с буквой "н" отстоят друг от друга на величину E_c , так же, как и точки с буквой "в". При увеличении $|U_{\delta x}|$ рабочие точки для обоих транзисторов одновременно перемещаются влево из положения "в" в положение "н", оставаясь на одном и том же "расстоянии".

В процессе переключения ключа будет такое положение, когда обе рабочие точки разместятся между напряжениями запирания транзисторов T_1 и T_2 , и оба транзистора будут закрыты.

Аналогично при выборе напряжения источника питания $E_c > |E_{301}| + |E_{302}|$ во время переключения создается такое положение, когда оба транзистора одновременно открыты.

В статических состояниях ключа один из транзисторов закрыт, а второй открыт. Следовательно, нет необходимости делать сопротивление нагрузочного транзистора T_2 больше, чем у T_1 , с целью получения достаточно малого остаточного напряжения $U_{\delta_{0,x}}$, как это было в ключе с нелинейной нагрузкой. Оба транзистора имеют примерно одинаковые параметры.

На рис. 1.16 приведена характеристика передачи ключа для случая, когда $E_c > |E_{301}| + |E_{302}|$. На участке АВ транзистор T_1 закрыт, транзистор T_2 работает в крутой области. Когда напряжение $|U_{\delta x}|$ превзойдет значение $|E_{301}|$, транзистор T_1 открывается, напряжение $|U_{\delta_{0,x}}|$ начнет уменьшаться, а напряжение на транзисторе T_2 увеличиваться. На участке ВС оба транзистора открыты, причем T_1 работает в пологой области, а T_2 все еще в крутой. Линейный участок СД

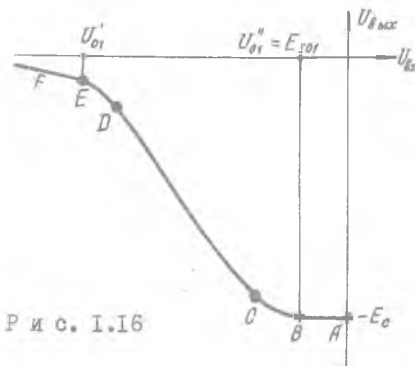
соответствует состоянию, когда оба транзистора находятся в пологой области. При дальнейшем увеличении $|U_{\beta x}|$ (участок ДЕ) транзистор T_1 переходит в крутую область, а T_2 продолжает работать в пологой области. Когда $U_{\beta x}$ станет равным $-E_c + E_{302}$ (точка E), транзистор T_2 закроется, и на участке EF выходное напряжение $U_{\beta_{01x}}$ практически не изменяется.

Таким образом, в этом ключе уровни включения и выключения соответственно равны

$$U_{01}' = -E_c + E_{302}; \quad U_{01}'' = E_{301}$$

Соответствующие им уровни выходного напряжения

$$U_{02}' \approx 0; \quad U_{02}'' = -E_c$$



Р и с. I.16

Для случая, когда $E_c < |E_{301}| + |E_{302}|$, характеристика передачи отличается от изображенной на рис. I.16 тем, что вместо линейного участка CD существует некоторая область изменения $U_{\beta x}$, в пределах которой оба транзистора закрыты, и значение $U_{\beta_{01x}}$ зависит не от $U_{\beta x}$, а от соотношения сопротивлений закрытых транзисторов и их тепловых токов J_{301} и J_{302} .

Основным достоинством ключа на транзисторах с каналами разных типов проводимости является то, что в обоих статических состояниях (участка AB и EF) один из транзисторов закрыт, и поэтому мощность рассеивания элементами ключа очень мала (измеряется микроваттами). Существенный расход мощности источника питания имеет место только при переключении. Очень важно также и то, что в этом ключе, как и в насыщенном ключе на биполярных транзисторах, уровни выходного напряжения практически не зависят от параметров транзистора и поэтому весьма стабильны. Наконец, рассматриваемый ключ отличается более высоким быстродействием по сравнению с ключом с нелинейной нагрузкой при одинаковых параметрах коммутирующих транзисторов и паразитных емкостях.

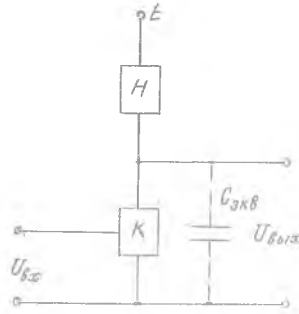
Особенности переходных процессов в ключах на полевых транзисторах

Работа МДП - транзистора, как известно, не связана с накоплением

заряда, и поэтому собственная инерционность его чрезвычайно мала. Основной причиной, ограничивающей быстрдействие ключей, построенных на МДП - транзисторах, является влияние паразитных емкостей.

Эквивалентная схема ключа с учетом паразитных емкостей представлена на рис. I.17.

Здесь K - коммутирующий транзистор, H - нагрузка, $C_{экв}$ - эквивалентная емкость, включающая в себя выходную емкость коммутирующего транзистора и нагрузки, а также емкость внешней нагрузки, т.е. входную емкость элементов, подключаемых к выходу ключа. Как было показано раньше, в ключе с нелинейной нагрузкой, состоящим из двух транзисторов, нагрузочный транзистор всегда открыт и работает в пологой области характеристик.



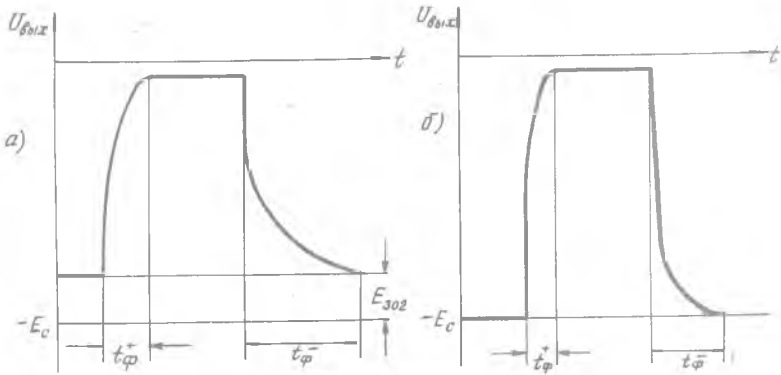
Р и с. I.17

Его можно рассматривать как нелинейное сопротивление, которое хотя и изменяется при работе ключа, но всегда остается большим по сравнению с сопротивлением открытого коммутирующего транзистора.

Следовательно, быстрдействие этого ключа будет определяться временем заряда и разряда $C_{экв}$ через R_H , где R_H - сопротивление нагрузочного транзистора. Так как R_H - нелинейно, то и заряд или разряд на всех этапах работы ключа будет происходить не по экспоненциальному закону. Кроме того, вследствие большой разности сопротивлений коммутирующего и нагрузочного транзисторов длительности фронтов положительного и отрицательного перепадов значительно отличаются друг от друга (рис. I.18, а), т.е. $t_{\varphi}^+ \ll t_{\varphi}^-$.

В ключе на транзисторах с каналами разных типов проводимости, как было показано, в обоих статических состояниях один из транзисторов открыт, причем оба они имеют примерно одинаковые характеристики. Поэтому как заряд, так и разряд емкости $C_{экв}$ происходит через открытый транзистор, и длительности фронтов t_{φ}^+ и t_{φ}^- получаются одинаковыми и небольшими - порядка t_{φ}^+ в ключе с нелинейной нагрузкой (рис. I.18, б).

Таким образом, ключ на транзисторах с каналами разных типов, помимо других своих достоинств, выгодно отличается и быстрдействием. Заметим, что с этой точки зрения предпочтительнее режим работы ключа,



Р и с. 1.18

при котором оба транзистора одновременно не запираются во время переключения, т.е. когда напряжение источника питания E_c выбирается из условия

$$E_c > |E_{301}| + |E_{302}|.$$

§ 1.4 . Электронные ключи на интегральных схемах (ИС)

В настоящее время в импульсную и цифровую технику, в технику управления и связи все шире внедряются интегральные (твердосхемные) элементы. В ИС нет отдельных дискретных деталей, а их функции выполняются определенными областями твердого тела (кристалла полупроводника), являющимися аналогами резисторов, конденсаторов, диодов, транзисторов. Указанные области твердой схемы формируются в результате применения специальных технологических процессов.

Благодаря присутствию в ИС ненадежных межэлементных соединений (паек, разъемов), снижению рабочих мощностей и применению прогрессивной технологии надежность ИС на порядок и более выше надежности аналогичной по назначению схемы, состоящей из дискретных элементов. В современных ИС интенсивность отказов порядка $10^{-7} - 10^{-8}$ 1/час.

Структура ключей ИС не отличается от структуры рассмотренных выше ключей на дискретных элементах. В настоящее время имеется очень большой набор ИС, работающих в ключевом режиме и отличающихся друг от друга схемной реализацией, а также видом связей между элементами.

Все ключевые схемы выполняют логические функции входных сигналов типа НЕ - ИЛИ (или НЕ - И).

Основными характеристиками ключей ИС, помимо надежности и стоимости, являются следующие:

пороговые уровни ключа, т.е. уровни входного, управляющего напряжения (или тока), при которых происходит переключение ключа из состояния " 0 " в состояние " 1 " и наоборот;

нагрузочная способность ИС характеризуется коэффициентом разветвления по выходу $n_{\delta x}$, который определяет, каким числом аналогичных ключей ИС может быть нагружен данный ключ ИС;

коэффициент объединения по входу $m_{\delta x}$, который определяет максимальное число входов ключевой схемы;

быстродействие ключа ИС характеризуется средним временем задержки t_{cp} , определяемым величиной

$$t_{cp} = \frac{1}{2} (t_{вкл} + t_{выкл}).$$

где $t_{вкл}$, $t_{выкл}$ - соответственно длительности включения и выключения ключа;

потребляемая мощность.

Здесь различают схемы с большой средней, малой и весьма малой мощностью рассеяния.

Так как все эти ключи ИС выполняют логические функции, то они подробно рассматриваются в следующей главе.

Л и т е р а т у р а

1. Гольденберг Л.М. Импульсные и цифровые устройства. М., "Связь", 1973.
2. Гусев В.В., Зеличенко Л.Г. и др. Основы импульсной и цифровой техники. М., "Сов. радио", 1975.
3. Степаненко И.П. Основы теории транзисторов и транзисторных схем. М., "Энергия", 1973.
4. Агаханян Т.М. Электронные ключи и нелинейные импульсные усилители. М., "Сов. радио", 1966.
5. Ицхоки Я.С., Овчинников Н.И. Импульсные и цифровые устройства. М., "Сов. радио", 1972.
6. Фролкин В.Т. Импульсные устройства. М., "Машиностроение", 1966.

Глава II. ПОТЕНЦИАЛЬНЫЕ ЛОГИЧЕСКИЕ И АНАЛОГОВЫЕ ЭЛЕМЕНТЫ ИМПУЛЬСНЫХ УСТРОЙСТВ

§ 2.1. Основные характеристики логических элементов

Интегральные схемы (ИС) потенциального типа являются самыми распространенными микроэлектронными логическими схемами. Они выгодно отличаются от импульсных логических схем, так как, имея связь между входом и выходом по постоянному току, ИС потенциального типа наилучшим образом соответствует возможностям микроэлектронной технологии.

Непрерывно растет степень интеграция ИС и сложность выполняемых функций. Несмотря на большое количество ИС потенциального типа их схемотехническая реализация осуществляется на основе ряда типовых, базовых функциональных элементов.

К основным параметрам, характеризующим возможности базовых элементов, как уже отмечалось в § 1.4, относятся: реализуемая функция, нагрузочная способность $n_{\text{вх}}$ (или n), коэффициент объединения по входу $m_{\text{вх}}$ (или m), средняя задержка передачи сигнала $t_{\text{зад}}$, предельная рабочая частота f_p , помехоустойчивость и потребляемая мощность.

По виду реализуемой функции элементы ИС условно могут быть разбиты на два класса.

К первому классу относятся функциональные элементы одноступенчатой логики. Это простейшие логические элементы, реализующие функции И, ИЛИ, НЕ, И-НЕ, ИЛИ-НЕ.

Ко второму классу относятся функциональные элементы двухступенчатой логики, реализующие более сложные функции И-ИЛИ, ИЛИ-И, НЕ-И-ИЛИ, И-ИЛИ-НЕ, И-ИЛИ-И и др.

Нагрузочная способность логических элементов n определяет количество элементов (точнее их входов), которые можно подключить к выходу данного элемента. При этом должна обеспечиваться неискаженная передача сигналов 0 и 1 при наихудших сочетаниях дестабилизирующих факторов. В ряде случаев этот параметр называется коэффициентом разветвления, исходя из его физического смысла. Следовательно, n есть целое положительное число ($n = 4, 5, 7, 10$ и т.д.).

Чем выше нагрузочная способность, т.е. чем больше n , тем богаче функциональные возможности ИС.

Коэффициент объединения по входу m характеризует максимальное число логических входов ИС. Увеличение m обычно ухудшает другие параметры ИС, такие как быстродействие, помехоустойчивость и т.д. В выпускаемых ИС обычно $m = 2 - 6$. Увеличение числа m (числа входов) происходит обычно за счет так называемого расширителя, входящего в эту серию ИС. Это дает возможность увеличить m до 10.

Динамические параметры логических элементов. Сюда относятся:

- $t_{\text{оп1}}$ - фронт формирования логической "1";
- $t_{\text{оп0}}$ - фронт формирования логического "0";
- t_{10} - задержка (время) переключения ИС из состояния "1" в состояние "0";
- t_{01} - задержка переключения из состояния "0" в состояние "1";
- $t_{\text{и}}$ - длительность импульса;
- f_p - рабочая частота.

Согласно Единой Системе Конструкторской Документации (ЕСКД) и ГОСТ 2743-72 приняты следующие обозначения функциональных элементов (рис. 2.1):

символ $\&$ - энд - обозначает функцию "И";

символ I - обозначает функцию "ИЛИ".

Инверсия обозначается кружком.

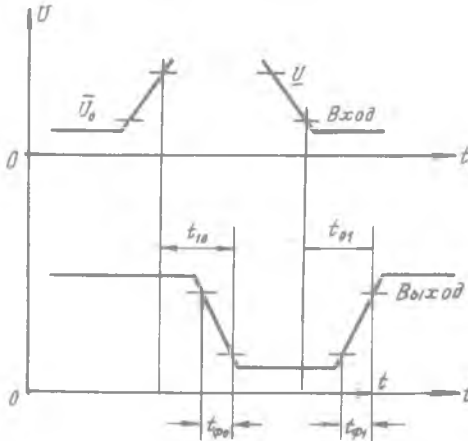


Р и с. 2.1

На рис. 2.2 приведены характеристики сигналов на входе и выходе логического элемента (инвертора) и показаны уровни отсчёта, относительно которых определяются динамические параметры.

Уровнями отсчёта динамических параметров логического элемента для приведенной на рис.2.2 положительной логики являются максимальный уровень логического "0" и минимальный уровень логической "1". Задержка переключения t_{10} определяется как временной интервал между уровнем "1" фронта нарастания входного импульса (положительный импульс) и уровнем "0" фронта спада выходного импульса (отрицательный импульс). Задержка переключения t_{01} определяется как временной интервал между уровнем "0" фронта спада входного импульса и уровнем "1" фронта нарастания выходного импульса. Фронты импульса, оп-

ределенные между уровнями " I " и " 0 " спада импульса, обозначаются $t_{\varphi 0}$, между уровнями " 0 " и " I " нарастания импульса - $t_{\varphi 1}$. Длительность импульса на выходе элемента определяется временным интервалом между фронтом $t_{\varphi 0}$ и фронтом $t_{\varphi 1}$ на уровне " I ".



Р и с. 2.2

Средняя задержка t_{cp} логического элемента определяется как полусумма задержек t_{10} и t_{01} и служит усредненным параметром быстродействия, используемым при расчете временных характеристик многоэлементных последовательно включенных логических схем.

Параметр

$$t_{cp} = \frac{t_{10} + t_{01}}{2} \quad (I.I)$$

приводится в технических условиях на интегральные схемы. Для упрощения расчетов часто считают сигналы прямоугольными, т. е. полагают $t_{\varphi 0} = t_{\varphi 1} = 0$.

Помехоустойчивость. Базовый элемент интегральной схемы в статическом режиме может находиться в одном из двух возможных состояний (" 0 " или " I "). По этой причине различают статическую помехоустойчивость ИС по уровню " 0 " (U_{n0}) и по уровню I (U_{n1}). Статическая помехоустойчивость базовых элементов ИС определяет величину напряжения, которое может быть подано на вход интегральной схемы относительно уровня " 0 " или " I ", не вызывая ее ложного срабатывания (например, переход из состояния " I " или в состояние " 0 " или обратно).

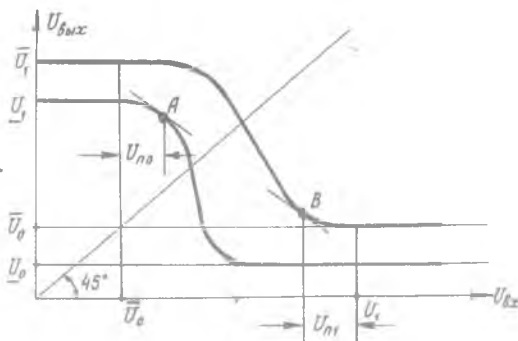
Значение параметра U_{n0} и U_{n1} определяют из анализа семейств передаточных характеристик функциональных элементов интегральных схем. На рис. 2.3 приведены передаточные характеристики функционального элемента (ФЭ), выполняющего функцию инверсии НЕ, и показаны точки, относительно которых определяется статическая помехоустойчивость схемы по уровню " 0 " (U_{n0}) и по уровню " I " (U_{n1}). Параметр U_{n0} определяется как разность напряжений точки А, соответствующей месту перегиба нижней кривой ФЭ, и максимального уровня " 0 " (\bar{U}_{n0}). Параметр U_{n1} определяется как разность напряжений минимального уровня

" I " (U_i) и точки В, соответствующей месту перегиба верхней кривой ПХЭ.

Верхняя и нижняя кривые ПХЭ являются огибающими семейства передаточных характеристик инвертирующего элемента, полученных с учетом "худших условий его работы" - при изменении температуры, питающих напряжений, нагрузки и т.п.

Однако статическая помехоустойчивость не дает полной информации об устойчивой работе элемента в устройстве, так как не характеризует помехоустойчивость в динамическом режиме работы.

Динамическая помехоустойчивость - помехоустойчивость в динамическом режиме - зависит от длительности, амплитуды и



Р и с. 2.3

формы сигнала помехи, а так же от уровня статической помехоустойчивости и скорости переключения базового функционального элемента.

При воздействии коротких импульсов помехи схемы с низкой статической помехозащищенностью и быстродействием могут быть более помехоустойчивы, чем схемы с достаточно высоким уровнем статической помехозащищенности и быстродействием. Другими словами, высокая статическая помехозащищенность не определяет высокую динамическую помехоустойчивость функционального элемента.

Сложность получения характеристик динамической помехоустойчивости элементов не позволяет в настоящее время приводить их в качестве основного или справочного материала в технических условиях на интегральные схемы.

Потребляемая мощность. При работе в реальных условиях каждая логическая схема может находиться в следующих состояниях:

- " выключено";
- в стадии включения;
- в состоянии " включено";
- в стадии выключения.

В каждом из этих состояний элемент потребляет от источника раз-

личную мощность. При этом в зависимости от типа логического элемента некоторые из них большую мощность потребляют в статических состояниях "включено" и "выключено" и сравнительно незначительную во время переходного процесса из состояния "включено" в состояние "выключено" и наоборот. Другие характеризуются большей потребляемой мощностью во время переходных процессов и относительно невысокой - в статических состояниях.

По потребляемой мощности ИС подразделяются:

на мощные логические схемы ($25 \text{ мвт} < P_{\text{номр}} < 250 \text{ мвт}$);

схемы средней мощности ($3 \text{ мвт} < P_{\text{номр}} < 25 \text{ мвт}$);

маломощные схемы ($0,3 \text{ мвт} < P_{\text{номр}} < 3 \text{ мвт}$);

микроваттные схемы ($1 \text{ мквт} < P_{\text{номр}} < 300 \text{ мквт}$);

нановаттные схемы ($P_{\text{номр}} < 1 \text{ мквт}$).

Как правило, наиболее мощные схемы обладают и большим быстродействием.

§ 2.2. Интегральные схемы одноступенчатой логики

Интегральные схемы потенциального типа с одноступенчатой логикой по схемотехнической реализации делятся на следующие виды:

резистивно-транзисторные ИС (RTL);

транзисторные ИС с непосредственной связью между логическими элементами ($DCTL$);

транзисторные ИС с резистивными связями между логическими элементами (TRL);

транзисторные ИС с резистивно-емкостными связями между логическими элементами ($RCTL$);

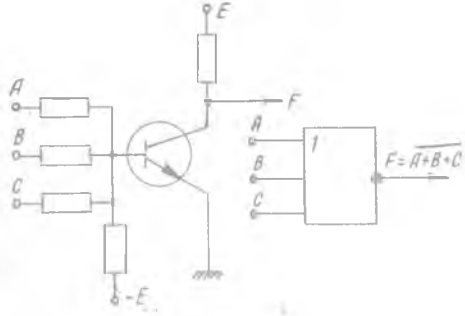
диодно-транзисторные ИС (DTL);

транзисторные ИС с эмиттерными связями между логическими элементами (ECL).

Резистивно-транзисторные ИС (RTL)

На рис.2.4 показаны функциональная и электрическая схемы логического элемента ИС типа RTL , реализующего операцию ИЛИ - НЕ. Здесь операция ИЛИ осуществляется на резистивной сборке, а транзистор выполняет роль инвертора. Основным недостатком схемы состоит в том, что для ее резистивной части требуются высокоомные и высокоточные резисторы.

Это вызывает трудности при изготовлении. Кроме того, резисторная сборка ИЛИ потребляет относительно большую мощность от источников. В силу слабой "развязки" входов, схема обладает низкой помехозащищенностью. Для ИС данного типа характерна малая нагрузочная способность ($n \leq 3$) и низкий коэффициент объединения по входу (m или ≤ 3).



Р и с. 2.4

Транзисторные ИС с непосредственной, резистивной и резистивно-емкостной связью (*DCTL*, *TRL*, *RCTL*).

На рис.2.5 приведены схемы логических элементов *DCTL*, *TRL* и *RCTL*, выполняющих функцию ИЛИ-НЕ.

Транзисторные ИС с непосредственными связями нашли широкое применение и являются одним из основных схемотехнических направлений. Схемы *DCTL* характерны тем, что на их параметры сильно влияет разброс входных характеристик транзисторов. Для схем *DCTL* $m \gg 8$, а $n \leq 4$. Они обладают низким уровнем помехозащитности, но хорошим быстродействием ($t_{cp} = 5 - 10$ нс).

Схемы *RCTL* не получили распространения из-за сложности их изготовления, так как создание емкостей в интегральном исполнении - задача сложная.

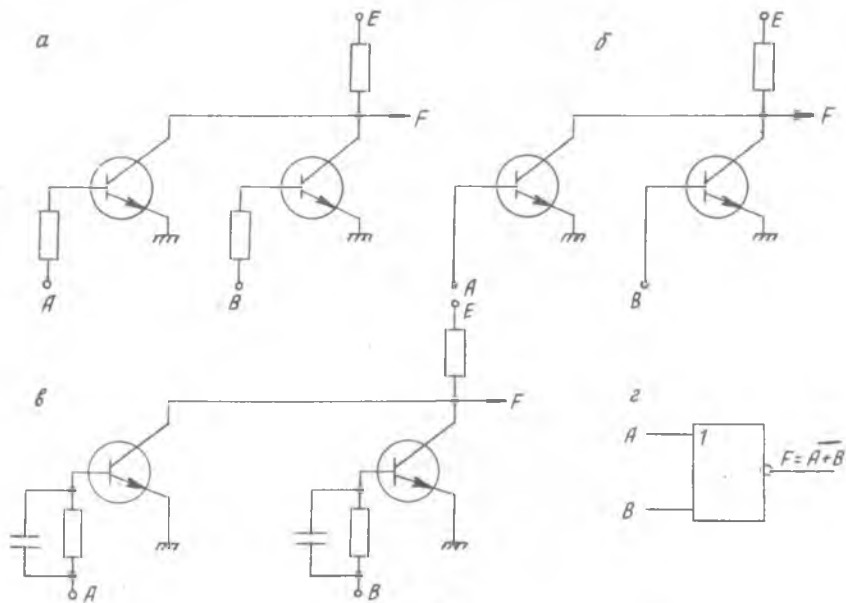
Диодно-транзисторные ИС (*DTL*)

Базовые функциональные элементы (рис. 2 - 6) диодно-транзисторных схем реализуют логическую функцию И-НЕ (для положительной логики). Функцию "И" выполняют на диодной группе, а функцию усилителя -инвертора - на транзисторах.

Известны две наиболее распространенные группы *DTL* - схем. В первую входят схемы с одностранзисторным усилителем на выходе (рис. 2.6,а), во вторую - с усилителем на составном транзисторе (рис.2.6,б). Применение усилителя на составном транзисторе позволяет связать

требования к коэффициенту усиления интегральных транзисторов.

Схемы *DTL* обладают большим значением коэффициента объединения по входу ($m_n > 10$) и высокой нагрузочной способностью ($n = 7-10$)

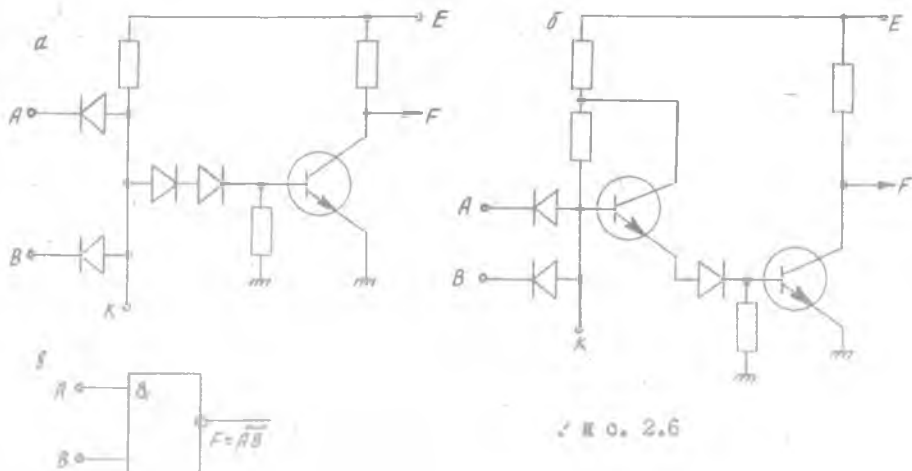


Р и с. 2.5

У диодной части схемы предусматривается вывод общего анода (К), который служит для подключения логического расширителя "И". Предельное быстродействие *DTL*-ИС $t_{cp} = 10 - 20$ нс; t_p - до 20 МГц. Уровень помехозащищенности в 2-3 раза превосходит уровень помехозащищенности схем транзисторной логики.

Общим свойством рассмотренных *RTL*, *TRL*, *RCTL*, *CTRL*, *DTL* интегральных схем является использование нелинейного режима работы активных элементов. Усилители рассмотренных ИС характеризуются надежным запирающим транзисторов в одном логическом состоянии и насыщением - в другом.

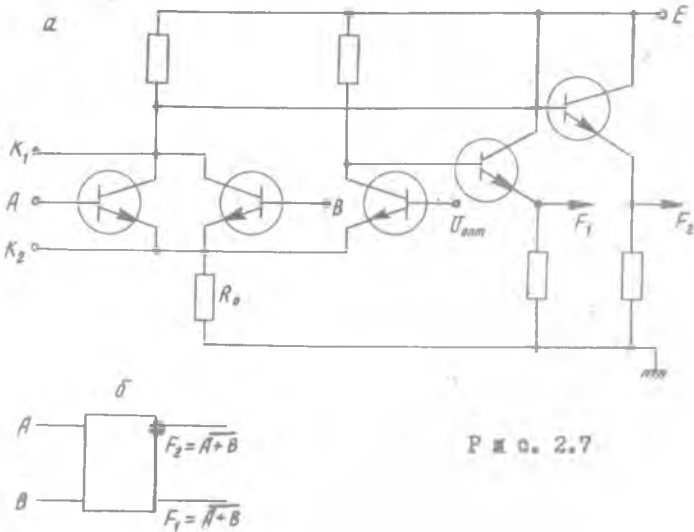
Режим насыщения не позволяет использовать высокие частотные свойства транзисторов в интегральном исполнении из-за явления рассасывания избыточного заряда в базе.



ИС с эмиттерными связями (ECL)

Отличительной чертой ИС с эмиттерными связями (рис. 2.7) является ненасыщенный режим работы транзисторов, что обеспечивает их высокое быстродействие. Схема ECL (рис. 2.7, а) выполняется на двух переключателях тока. Один из них, нормально открытый, реализован на транзисторе, на базу которого подано опорное напряжение U_{om} . Уровень U_{om} ниже минимального уровня логической единицы. Второй переключатель тока состоит из m (по числу логических входов) транзисторов, имеющих общие коллекторы и эмиттеры, что обеспечивает реализацию функции "ИЛИ". Открывание любого из транзисторов второго переключателя тока повышает напряжение на общем эмиттерном сопротивлении R_0 , и обеспечивает запертие первого переключателя тока, что приводит к формированию на выходе F_1 высокого уровня (логическая "1"), в то время как на выходе F_2 формируется низкий уровень напряжения (логический "0").

Нагрузочная способность этих схем достаточно велика ($n \approx 10$). Наличие входов K_1 и K_2 позволяет расширить число входов ИЛИ, правда, при этом снижается быстродействие. Для обеспечения высокой нагрузочной способности в состав серий ECL-ИС включаются схемы с мощным выходом, обеспечивающие значение $n > 30$.



Р и с. 2.7

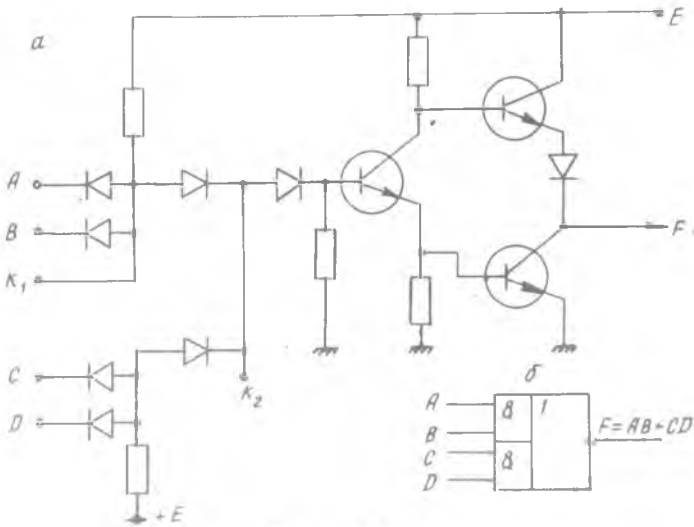
§ 2.3. Интегральные схемы двухступенчатой логики

По схемотехнической реализации схемы двухступенчатой логики можно разделить на диодно-транзисторные ИС -(DTL-2) транзисторно-транзисторные ИС -(TTL) транзистор-транзисторно-транзисторные ИС -(T-TTL).

Диодно-транзисторные ИС (DTL-2).

На рис. 2.8 приведена схема функционального элемента диодно-транзисторной логики, реализующая двухступенчатую функцию И-ИЛИ-НЕ. Реализация логической операции И и ИЛИ в схемах DTL-2 осуществляется на диодах, а операция НЕ выполняется на транзисторном усилителе-инверторе. Для увеличения логических возможностей схем по входам И и ИЛИ применяются специальные расширители функций И и ИЛИ (входы K₁ и K₂). Схемы DTL-2 имеют $m_0 \geq 8$, $m_{илл} \geq 6$. Выходной усилитель схемы выполняется с симметричным транзисторным выходом, благодаря которому нагрузочная способность $n \geq 8$.

Диодно-транзисторные интегральные схемы были наиболее важным достижением микроэлектроники середины 60 годов.



Р и с. 2.8

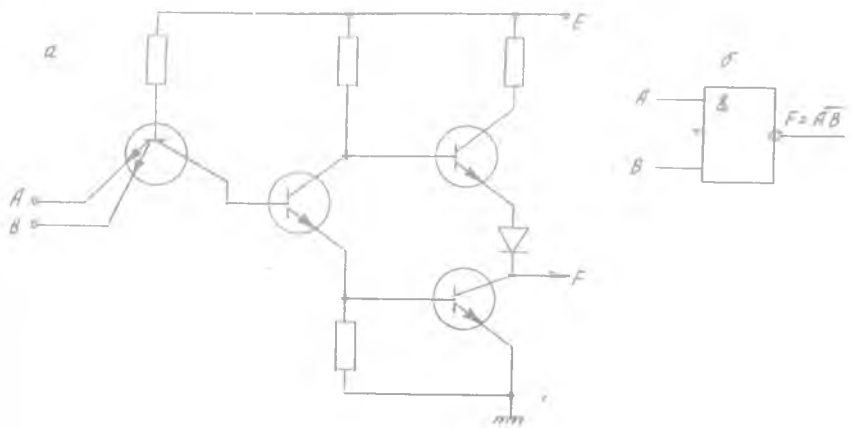
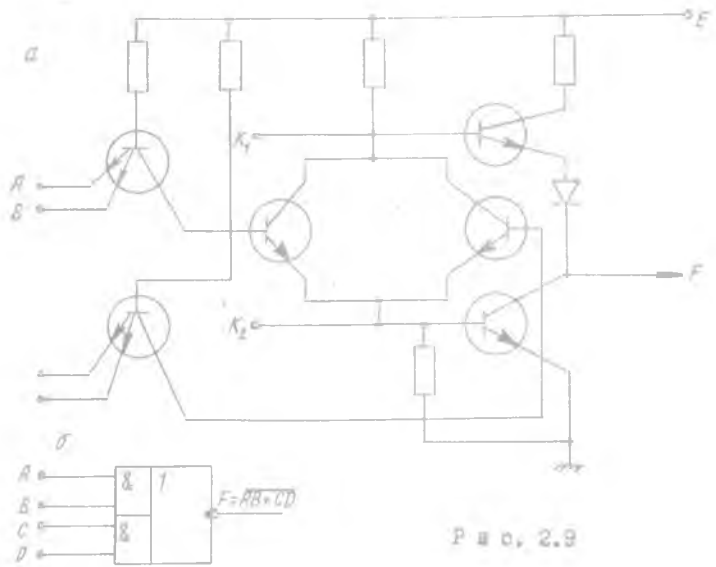
Транзистор-транзисторные ИС - (ТТЛ)

Освоение технологии изготовления многоэмиттерного транзистора (МЭТ) послужило определяющим фактором в создании широкого ряда серий интегральных схем ТТЛ логики. Многоэмиттерный транзистор (МЭТ) представляет собой интегральный элемент, объединяющий преимущества диодных логических схем и транзисторного усилителя. ТТЛ схемы (рис. 2.9) позволили значительно увеличить быстродействие $t_{cp} = 3 - 10$ нс), повысить уровень помехозащищенности, снизить потребляемую мощность по сравнению с ДТЛ- ИС, а также увеличить функциональные возможности интегральной схемы. Коэффициент $m_u \geq 12 - 14$ $m_{или} = 8 - 10$ для схемы ТТЛ .

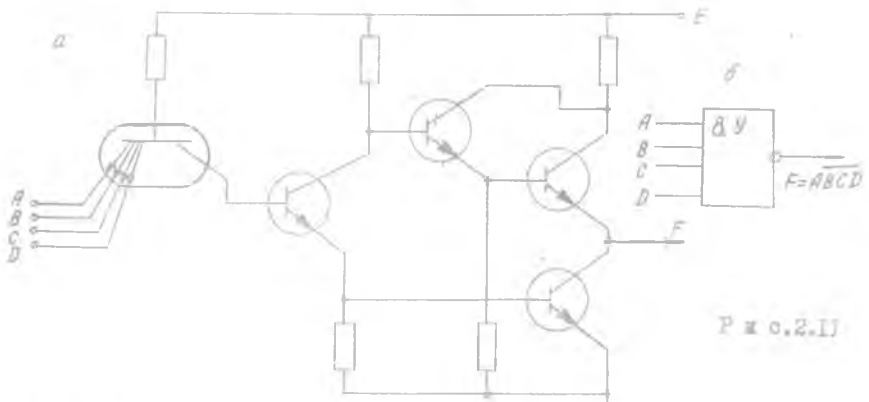
Выходные усилители ТТЛ - схем обеспечивают высокую нагрузочную способность базовой схемы ($n \geq 10$).

В состав существующих серий ТТЛ - ИС входит широкий функциональный набор следующих микросхем:

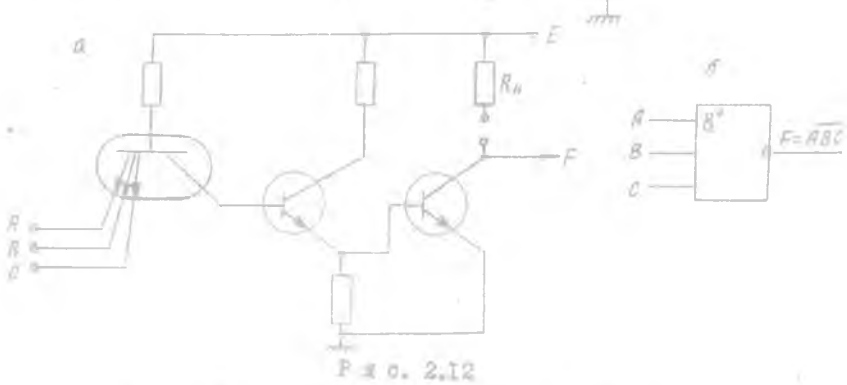
- схемы И-НЕ (рис. 2.10);
- схемы И-НЕ с мощным выходом (рис. 2.11);
- схемы И-НЕ со свободным коллектором (рис. 2.12);
- схемы ИЛИ-НЕ (рис.2.13);



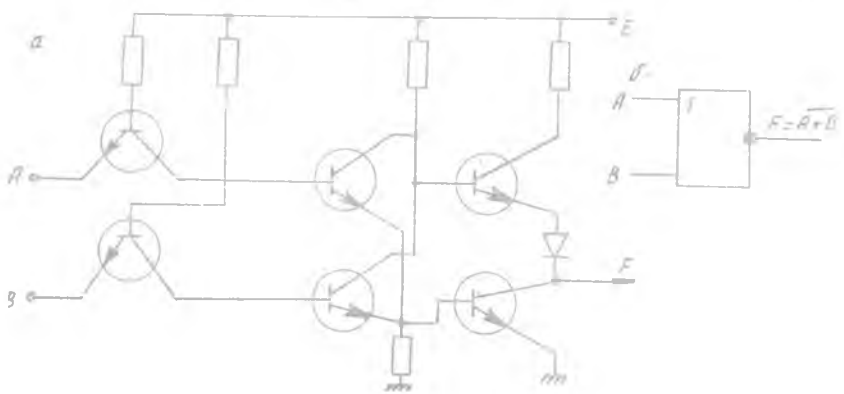
Р и с. 2.10



Р и с. 2.11



Р и с. 2.12



Р и с. 2.13

- схемы ИЛИ с двухкаскадным усилителем;
- схемы И с двухкаскадным усилителем;
- схемы И с двухкаскадным усилителем со свободным коллектором;
- схемы И-ИЛИ-НЕ;
- логические расширители И-ИЛИ (рис. 2.14)

Широкий функциональный состав серий ТТЛ-ИС позволяет вести разработку цифровых узлов с использованием различных сочетаний типовых ИС. Схемы ТТЛ обладают большой нагрузочной способностью ($n > 25$) и высоким быстродействием. Так как схемы ТТЛ получили широкое распространение, то рассмотрим основной элемент ТТЛ более подробно. На рис. 2.15 представлена принципиальная схема базового элемента ТТЛ с номиналами сопротивлений и источником питания.

При наличии на одном из входов (А, В) логического "0" T_1 насыщен, T_2 и T_3 выключены, T_4 открыт, и ток идет в нагрузку (рис. 2.16).

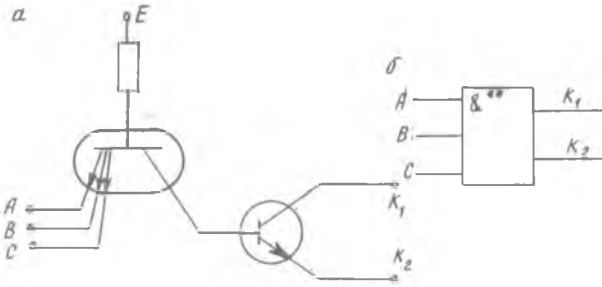
Выходное напряжение логической "1" отличается на малую величину от источника питания (на величину двойного падения напряжения на $p-n$ - переходе T_4 и D_1). Если на всех входах появляется логическая "1", T_1 выходит из насыщения в инверсно-активную область, T_2 переходит в активное состояние, выходное напряжение падает. При дальнейшем увеличении входного напряжения транзисторы T_2 и T_3 открываются, входят в насыщение и закрывают T_4 . Выходное напряжение "0" равно напряжению насыщения T_3 . Таким образом, T_2 образует "фазорасщепитель", T_3 и T_4 образуют выходной каскад с повышенной нагрузочной способностью. На рис. 2.17 показано распределение токов в включенной схеме. Для этой интегральной схемы выходное сопротивление в состоянии "1" равно $R_4 = 134 \text{ Ом}$, в состоянии "0" - это сопротивление насыщенного транзистора T_3 $R_{нас} = 15 \text{ Ом}$. Входное сопротивление при "1" на входе $R_{вх1} = 100 \text{ кОм}$, при "0" $R_{вх0} = 4 \text{ кОм}$.

$$U_{вх1} \leq 0,35 \text{ В}; U_{вх0} \geq 2,4 \text{ В}; n = 10.$$

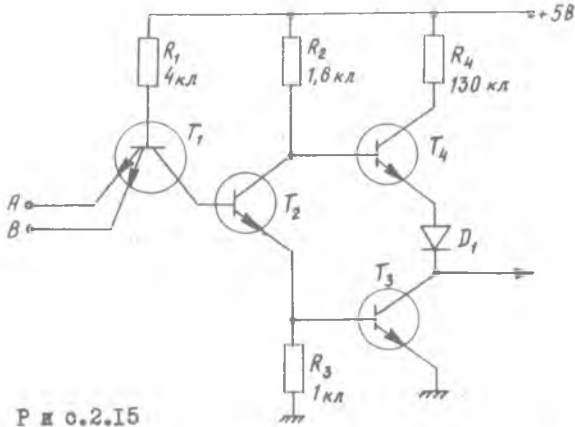
Передаточная характеристика приведена на рис. 2.18. Неиспользуемые входы схемы можно включать следующим образом:

- замыкать с используемыми. В этом случае ИС обладает максимальным быстродействием, но возрастает потребляемый ток;
- оставлять свободными. При этом снижается помехоустойчивость, но это самый простой метод с точки зрения монтажа;
- подсоединять к шине питания.

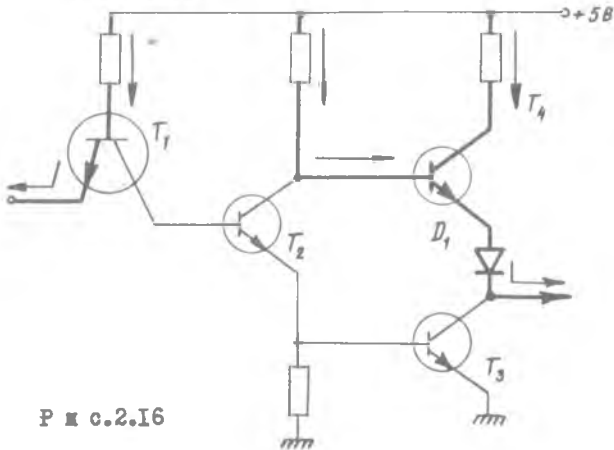
Для построения импульсных и цифровых устройств чаще всего используются 2-х входные (4 в корпусе), 3-х входные (3 в корпусе) и 4-х входные (2 в корпусе) интегральные схемы.



Р и с. 2.14



Р и с. 2.15



Р и с. 2.16

Транзистор-транзисторно-транзисторные ИС - (Т-ТТЛ)

Интегральные схемы Т-ТТЛ логики относятся к разряду новых логических микросхем, выполненных на основе модернизации существующих ТТЛ - схем. На рис. 2.19 приведена базовая схема элемента Т-ТТЛ, реализующего двухступенчатую логическую функцию с запретом НЕ, И-ИЛИ.

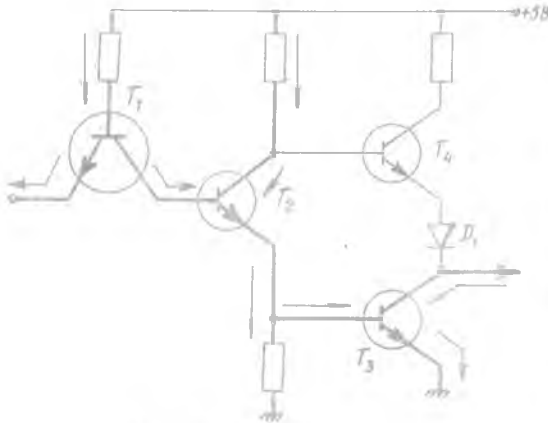


Рис. 2.17

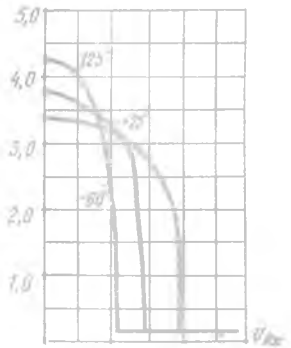


Рис. 2.18

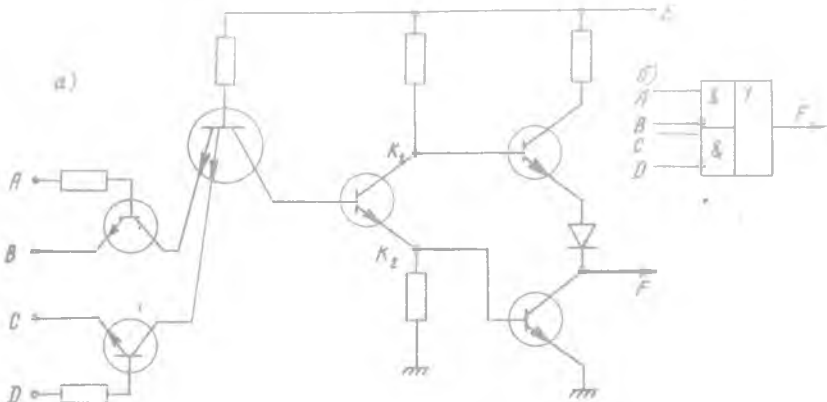


Рис. 2.19

Логическая операция И с запретом выполняется на транзисторах, управляемых по базе и эмиттеру, а функция ИЛИ реализуется на многоэмиттерном транзисторе. Наличие запрещающего входа по эмиттеру в схеме И открывает новые возможности при построении цифровых устройств на основе совместного использования схем $T-TTL$ и TTL , которые имеют электрическое согласование.

$T-TTL$ - ИС имеет хорошую нагрузочную способность; наличие прямых и инверсных входов позволяет исключить ряд промежуточных инверторов при реализации сложных функций. Недостатком $T-TTL$ - ИС надо считать снижение уровня статической помехозащищенности и увеличение задержки переключения при управлении по прямому (базовому) входу схемы НЕ, И.

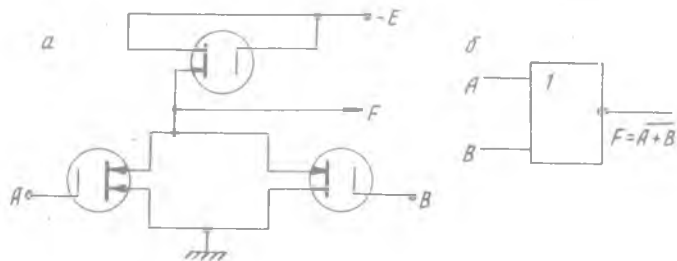
§ 2.4. Логические схемы на полевых транзисторах

Как уже отмечалось выше, полевые транзисторы являются наиболее перспективными полупроводниковыми приборами, открывающими новые возможности в области создания интегральных схем большой и сверхбольшой интеграции. В настоящее время наибольшее распространение получили логические схемы на транзисторах с МДП-структурой.

Логические схемы на МДП - транзисторах p - типа

Принципы построения логических схем на МДП-транзисторах одного типа проводимости сходны с принципами построения логических схем с непосредственными связями ($DCTL$).

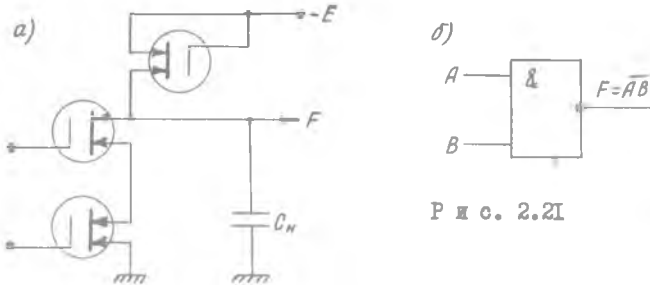
На рис. 2.20 приведена схема ИЛИ-НЕ на два входа, содержащая один нагрузочный транзистор и два логических. Интегральная технология МДП-структур позволяет использовать последовательное (ярусное) включение МДП-транзисторов, когда в цепь между



Р и с. 2.20

нагрузкой и землей включен не один, а два и более МДП-транзисторов по схеме "И". В этом случае исток нижнего логического транзистора подключается к земле, а его сток — к истоку вышестоящего и т.д.

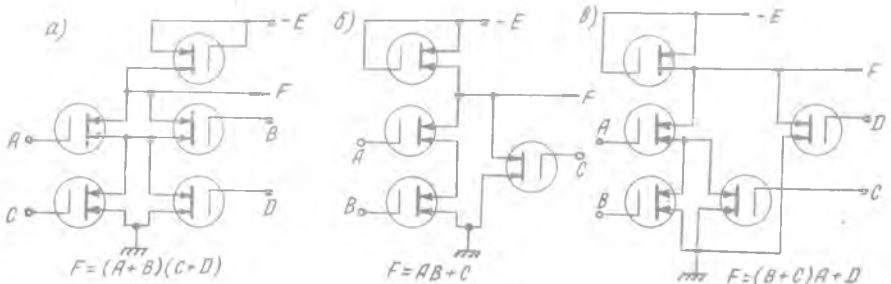
Путь току через нагрузку к земле открывается лишь в том случае, если будут открыты транзисторы всех ярусов. На рис. 2.21 приведена подобная схема, реализующая логическую функцию И-НЕ, имеющая высокую нагрузочную способность.



Р и с. 2.21

Ярусное включение позволяет создавать логические схемы, обладающие большей универсальностью, чем схемы на биполярных транзисторах.

На рис. 2.22 представлены сложные логические схемы МДП-ИС - p -типа, реализующие функции ИЛИ-И-НЕ (рис.2.22,а), И-ИЛИ-НЕ (рис.2.22,б) и ИЛИ-И-ИЛИ-НЕ (рис. 2.22,в),



Р и с. 2.22

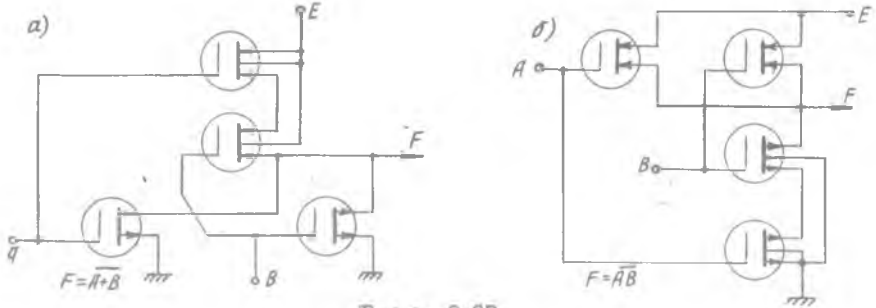
Логические схемы на МДП-транзисторах обладают очень высокой нагрузочной способностью ($n > 10 - 20$) и относительно хорошим быстродействием, $f_p \approx 1 \text{ МГц}$.

Логические схемы
на дополняющих МДП-транзисторах (МДПТ-ИС)

Логические схемы на МДПТ обладают очень хорошими показателями: микроваттной потребляемой мощностью в статическом режиме; высоким быстродействием; высокой помехоустойчивостью за счет большого перепада уровней сигналов логических "1" и "0"; новыми логическими возможностями за счет взаимодополняющих структур.

Логические схемы МДПТ отличаются тем, что для каждого логического входа необходимо применять транзистор n - типа и связанный с ним по затвору транзистор p - типа.

На рис.2.23 приведены двухвходовые схемы ИЛИ-НЕ и И-НЕ положительной логики на МДПТ.



Р и с. 2.23

При поступлении на вход A (схема ИЛИ-НЕ, рис. 2.23,а) сигнала "1" (напряжение, близкое к $+E$) откроется транзистор n - типа, а связанный с ним по затвору транзистор p - типа закроется. На выходе схемы формируется уровень "0", близкий к потенциалу "земли". Когда на входах A и B будут поданы одинаковые уровни "0", то оба транзистора n - типа закроются и откроются оба транзистора p - типа, что приведет к формированию на выходе уровня "1", близкого к $+E$. Так как в состоянии $F = 0$ открыт транзистор n - типа, а в состоянии $F = 1$ открыт прибор p - типа, перезаряд емкости нагрузки (паразитной емкости) всегда осуществляется через открытый прибор МДП - транзистор.

Логические схемы на МДЦДТ с нагрузочным транзистором (МДЦДТ-ИС)

Применение в качестве нагрузки МДП-транзистора еще больше расширяет возможности интегральных схем на МДП-транзисторах. Здесь можно реализовать как положительную логику (в этом случае в нагрузке применен транзистор p - типа), так и отрицательную (нагрузка - транзистор n - типа). Сочетание дополняющих транзисторов с нагрузочным позволяет реализовать сложные логические функции с минимумом компонентов.

§ 2.5. Аналоговые интегральные схемы

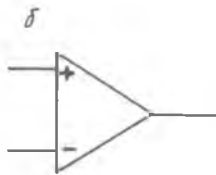
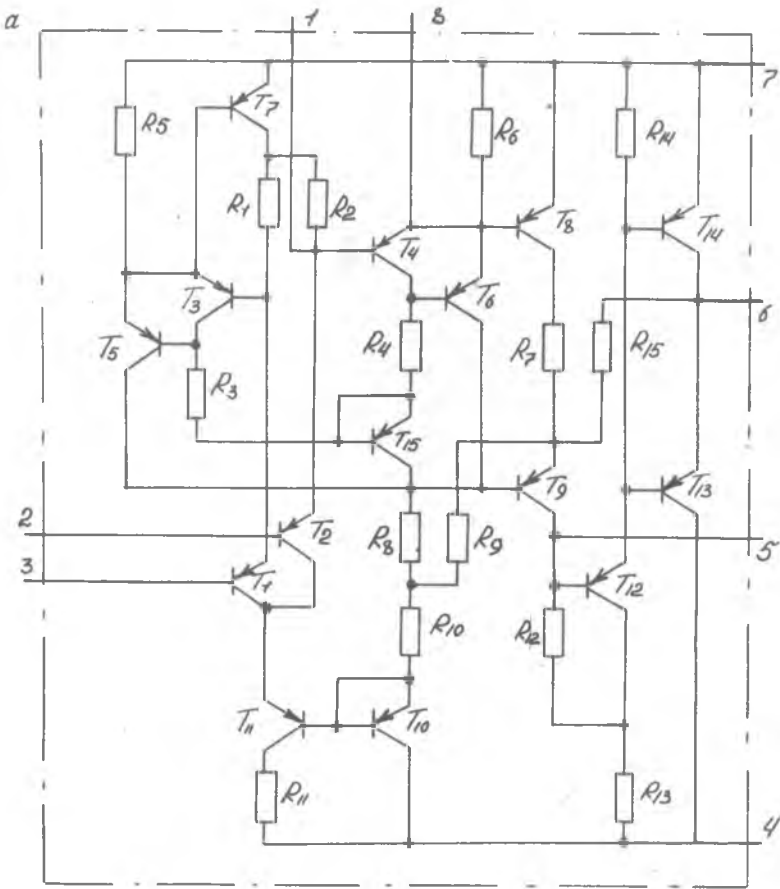
Операционные усилители

Помимо цифровых интегральных схем отечественная промышленность выпускает ряд аналоговых схем в интегральном исполнении - это двухкаскадные, дифференциальные, операционные усилители (ОУ). Наиболее универсальным из этой группы схем является операционный усилитель. На его основе могут быть построены самые разнообразные устройства.

Операционный усилитель - это усилитель постоянного тока с достаточно большим коэффициентом усиления. В настоящее время выпускается большое число разновидностей ОУ в интегральном исполнении. Однако различия в их построениях и характеристиках не слишком велики. Поэтому рассмотрим схему интегрального ОУ на примере усилителя КТУТ 531 рис. 2-24, а.

Усилитель содержит два дифференциальных усилительных каскада и выходной каскад. Первый дифференциальный каскад включает транзисторы T_1 и T_2 и работает в режиме малых токов (коллекторные токи транзисторов около 20 мкА). Благодаря этому обеспечивается высокое входное сопротивление усилителя и малый дрейф нуля. Для того, чтобы каскад усиливал только разность напряжений на входах, а не сами напряжения, эмиттеры входящих в него транзисторов подключены к генератору тока на транзисторе T_{II} . Напряжения на базу транзистора T_{II} подается с базо-эмиттерного перехода транзистора T_{IO} , используемого в качестве диода. При этом обеспечивается стабилизация коллекторного тока транзистора T_{II} в широком диапазоне температур.

Режим малых токов не позволяет получить большое усиление в первом каскаде, поэтому основное усиление производится во втором каска-



Р и с. 2.24

де, который построен на основе составных транзисторов Т3, Т5 и Т4, Т6. Транзистор Т15 стабилизирует работу каскада при изменении температуры.

К выводам второго каскада присоединены два эмиттерных повторителя, выполненные на транзисторах Т7 и Т8. Через транзистор Т7 подается питание на первый каскад, а через транзистор Т8 осуществляется передача сигнала на выходной каскад.

Выходной каскад содержит усилитель с общей базой (транзистор Т9), усилитель с общим эмиттером (транзистор Т12), эмиттерный повторитель (транзисторы Т13, Т14).

Интегральная схема усилителя К1УТ53И имеет восемь выводов. К выводам 7 и 4 подключаются положительный и отрицательный источники питания. Выводы 1, 5 и 8 - вспомогательные для подключения корректирующих цепей. Вывод 6 - выход усилителя, а выводы 2, 3 - его входы. При уменьшении напряжения на входе 2 и увеличении напряжения на входе 3 выходное напряжение увеличивается. Поэтому вход 2 называют инвертирующим (И - входом), а вход 3 - неинвертирующим (Н - вход).

На принципиальных схемах ОУ обычно изображается в виде треугольника с обозначениями двух входов и одного выхода (рис. 2, 24, б).

И - вход и Н - вход обозначаются знаками "-" и "+" соответственно. Операционные усилители характеризуются большим числом параметров. Рассмотрим основные из них.

Коэффициент усиления (К) - отношение выходного напряжения к вызвавшему его изменению дифференциального входного напряжения, т.е. к напряжению между входами усилителя. Величина К лежит обычно в пределах $10^3 - 10^6$.

Ширина частотной полосы ОУ (f_m) определяется частотой, на которой коэффициент усиления падает до единицы. Значения f_m обычно составляют 10 кГц - 10 МГц.

Средний входной ток ($J_{\delta x}$) - среднее арифметическое значение токов по двум входам, измеренных при условии, что напряжение на выходе ОУ равно нулю. Чаще всего $J_{\delta x} = 0,1 - 10 \mu\text{А}$.

Разность входных токов ($\Delta J_{\delta x}$) - разность токов по двум входам при равенстве нулю выходного напряжения. Обычно $\Delta J_{\delta x} = 0,1 - 5 \mu\text{А}$.

Напряжение смещения ($U_{см}$) - напряжение, которое нужно приложить между входами для получения нуля на выходе. $\Delta U_{\delta x} = 0,5 - 10 \text{ мВ}$.

Максимальное синфазное входное напряжение ($U_{сф}$) - допустимое значение напряжений, прикладываемых одновременно к обоим входам, при котором усилитель сохраняет свои характеристики. Обычно $U_{сф} = 1 - 10 \text{ В}$.

Коэффициент ослабления синфазного сигнала ($M_{сф}$) - отношение коэффициента усиления усилителя к коэффициенту передачи синфазного

сигнала. Коэффициент передачи синфазного сигнала определяется как отношение изменения выходного напряжения к вызвавшему его изменению синфазного входного напряжения при постоянстве разности напряжений между входами. Величина $M_{сф}$ составляет обычно 60-100 дБ.

Входное сопротивление ($R_{вх}$) - сопротивление со стороны любого входа, когда другой вход заземлен. Входное сопротивление для дифференциального сигнала составляет обычно от 10^3 до 10^6 ом. Входное сопротивление для синфазного сигнала на 1-2 порядка больше.

Выходное сопротивление ($R_{вых}$) - сопротивление со стороны выхода, когда напряжение на выходе равно нулю. Для разных типов выходных каскадов выходное сопротивление меняется в пределах 25-500 ом.

Максимальное выходное напряжение ($U_{вых}$) - амплитуда выходного напряжения при работе ОУ на линейном участке. $U_{вых} = \pm 3 - 13$ В.

Максимальная скорость нарастания выходного напряжения ($U_{вых}$) определяется как наибольшее значение скорости изменения напряжения на выходе ОУ при подаче на его вход импульса максимально допустимого входного напряжения прямоугольной формы. Обычно эта скорость лежит в пределах 0,1 - 20 В/мкс.

Максимальный выходной ток ($J_{вых}$) - максимальный ток в нагрузке усилителя, не вызывающий выхода его из строя. $J_{вых} = 1 - 10$ мА.

Коэффициент влияния источников питания (U_n) - отношение изменения напряжения смещения к изменению питающего напряжения $U_n = 20 - 200$ мкВ/В.

Потребляемая мощность (P_n) - мощность, рассеиваемая в усилителе при нулевом напряжении на выходе и отсутствии тока в нагрузке. Для типовых ОУ $P_n \pm 70 - 150$ мВт.

Температурный дрейф напряжения смещения ($U_{др}$) - отношение изменения напряжения смещения к вызвавшему его изменению температуры окружающей среды. Обычно $\Delta U_{др}$ не превышает 5-20 мкВ/град.

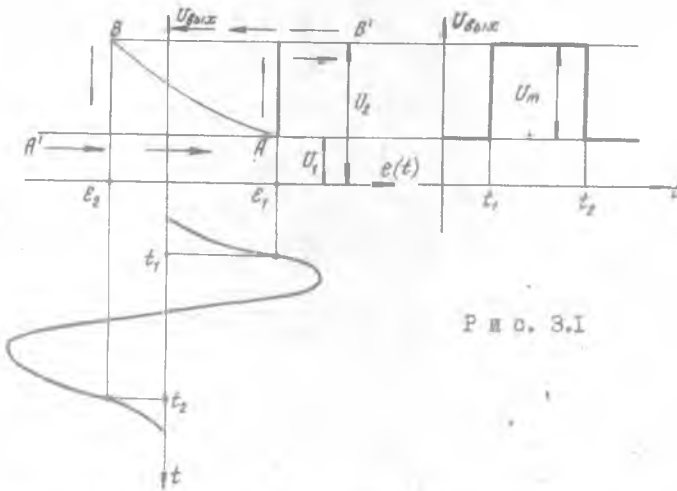
Л и т е р а т у р а

1. Б у к р е е в И.Н. и др. Микроэлектронные схемы цифровых устройств. М., " Сов. радио", 1975.
2. Проектирование радиоэлектронных устройств на интегральных микросхемах. Под ред. Шапа С.Я. М., "Сов. радио", 1976.
3. С к а р л е т т Дж. Транзисторно-транзисторные логические схемы и их применение. Пер. с англ. М., " Мир", 1974.

Глава III. ТРИГГЕРЫ

§ 3.1. Общие сведения о триггерах

Триггером называется спусковое устройство, которое может неограниченно долго находиться в одном из двух электрических состояний устойчивого равновесия и переходить из одного в другое скачком всякий раз, когда воздействующее на его вход управляющее напряжение $e(t)$ достигает некоторых фиксированных пороговых уровней ε_1 и ε_2 . Зависимость выходного напряжения $U_{\text{вых}}$ триггера от входного управляющего напряжения $e(t)$ имеет форму гистерезисной петли (рис.3.1).



Р и с. 3.1

Нижняя $A'A$ и верхняя $B'B$ ветви характеристики $U_{\text{вых}} = f(e)$ соответствуют двум устойчивым состояниям равновесия триггера, а точки A и B - пороговым значениям управляющего напряжения. На падающем участке BA , где крутизна характеристики отрицательна, равновесие системы неустойчиво.

При возрастании напряжения $e(t)$ (по нижней ветви $A'A$) выходное напряжение $U_{\text{вых}}$ остается постоянным и равным U_1 до момента, когда управляющее напряжение $e(t)$ достигнет порогового значения ε_1 , при котором напряжение $U_{\text{вых}}$ скачком изменится до нового значения

U_2 и останется равным ему при дальнейшем росте $e(t)$. При уменьшении $e(t)$, $U_{\delta_{\text{вх}}}$ будет оставаться неизменным до момента, когда управляющее напряжение достигнет второго порогового уровня \mathcal{E}_2 , при котором $U_{\delta_{\text{вх}}}$ скачком перейдет в исходное состояние устойчивого равновесия. Ширина петли гистерезиса - напряжение $\mathcal{E}_2 - \mathcal{E}_1$, называемое напряжением гистерезиса, является во многих случаях важной характеристикой триггера.

Характеристики вида рис.4.1 можно получить при использовании газоразрядных приборов (неоновых ламп, тиратронов), полупроводниковых приборов (туннельных диодов, тиристоров) и электронных ламп в динатронном или транзитронном режимах.

Но наибольшее распространение получили триггеры, основанные на использовании усилителей (транзисторных или ламповых), замкнутых в петлю положительной обратной связи с коэффициентом петлевого усиления $K_o > 1$.

Так как электронные ключи, рассмотренные в главе I, обладают определенным коэффициентом усиления, то они очень широко применяются для построения триггерных схем.

Триггер обладает двумя устойчивыми состояниями и с этой точки зрения его можно рассматривать как элементарную ячейку, хранящую информацию в двоичном коде (0 или 1). Условно принято считать, что наличие на выходе триггера высокого потенциала U_2 соответствует состоянию "1", наличие низкого потенциала U_1 соответствует состоянию "0". Это обстоятельство предопределило широкое использование триггеров в цифровых вычислительных устройствах и машинах.

Различного вида регистры, сумматоры, счетчики и т.д. наиболее просто реализуются на триггерных схемах.

Триггер, в котором состояние равновесия характеризуется уровнем выходного напряжения (потенциала) называется потенциальным или статическим.

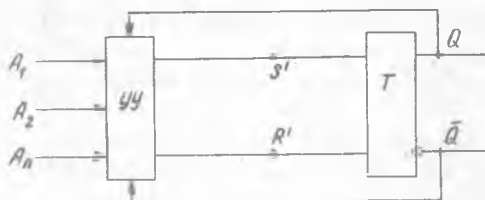
Обычно триггер наряду с основным прямым выходом, обозначаемым Q , потенциал которого и определяет состояние триггера, имеет еще один выход - инверсный $p = \bar{Q}$, потенциал которого в информационном смысле имеет обратное значение. Т.е. если на прямом выходе Q напряжение равно $U_2 (Q = 1)$, то на инверсном выходе p оно равно $U_1 (p = \bar{Q} = 0)$.

Исходя из сказанного, можно представить обобщенную схему триггера (рис.3.2).

На этой схеме: T - собственно триггер, $УУ$ - устройство управления, R' и S' - входы собственно триггера, Q и Q' - выходы триггера.

гера. A_1, \dots, A_n информационные входы триггерного устройства.

Изменяя организацию устройства управления, способ подключения выходов триггера Q и \bar{Q} ко входам схемы управления, можно полу-



Р и с. 3.2

чить триггеры различного типа, отличающиеся видом реализуемой логической функции. Так, например, для триггерного устройства с одним информационным входом A и двумя выходами Q и \bar{Q} , когда возможны два логических состояния на

входе "0" и "1" ($A=0$ или $A=1$) и пять логических состояния на выходе $0; 1; Q; \bar{Q}$ и α , можно получить 25 функциональных типов триггерных устройств.

Выходные состояния триггера означают следующее:

- 0 - триггер постоянно находится в состоянии ($Q=0$) независимо от логического уровня на входе A ;
- I - триггер постоянно находится в состоянии ($Q=1$) независимо от A ;
- Q - состояние триггера не изменяется при изменении информации на входе A ;
- \bar{Q} - состояние триггера изменяется на противоположное при изменении информации на входе A ;
- α - неопределенное состояние триггера.

Неопределенное состояние триггера характеризуется тем, что в процессе действия информационного сигнала на входе триггера выходные логические уровни триггера Q и \bar{Q} одинаковы, т.е. $Q=\bar{Q}=0$ или $Q=\bar{Q}=1$, а после окончания действия информационного сигнала триггер может перейти в состояние $Q=0$ или $Q=1$ с равной вероятностью. Для триггерных устройств с двумя входами и двумя выходами, для которых возможны четыре комбинации сигналов на входе (00, 01, 10, 11) и пять состояний выхода, существует уже 625 вариантов триггеров.

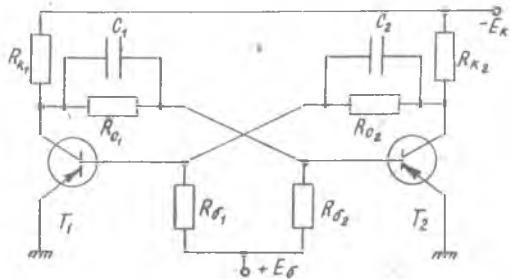
Такое обилие триггерных схем вызвало необходимость их классификации. В основу которой положены два основных признака: функциональный и способ записи информации в триггер.

Функциональная классификация I, 2 является наиболее общей и

представляет собой классификацию триггеров по виду логического уравнения, характеризующего состояние входов и выходов триггера в момент времени до (t^-) и после его срабатывания (t^{++}). В соответствии с этим различают триггеры (рис.3.3) $R-S-$, $D-$, $T-$, $E-$, $D-V-$, $\gamma-K-$, и т.д.

Классификация по способу записи информации характеризует временную диаграмму работы триггера. По этой классификации [1] триггеры подразделяются на две группы: асинхронные (не тактируемые) и синхронные (тактируемые).

Отличительной особенностью асинхронных триггеров является то, что запись информации в них осуществляется непосредственно с поступлением информационного сигнала на его вход. Запись информации в синхронные триггеры, имеющие информацион-



Р и с. 3.3

ные и тактовые входы, осуществляется только при подаче разрешающего, тактирующего импульса (или потенциала) на тактирующий вход. Кроме требований, предъявляемых к триггерам с информационной точки зрения, существуют требования, вытекающие из схемотехнических особенностей триггеров. Наиболее важными из таких требований являются быстродействие и нагрузочная способность.

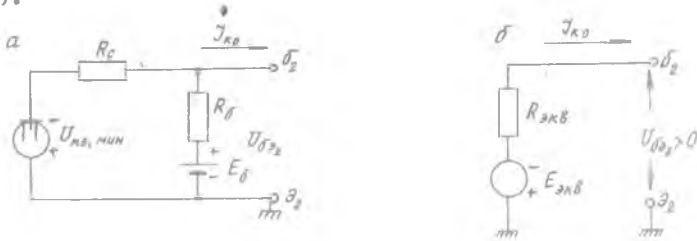
Под быстродействием триггера понимают максимальное число надежных срабатываний триггера в секунду при постоянном периоде следования запускающих импульсов. Быстродействие триггера измеряется в Герцах. Минимальный интервал времени между двумя запускающими импульсами, вызывающими надежное срабатывание триггера, называется разрешающим временем триггера.

Под нагрузочной способностью триггера понимают минимальное значение сопротивления $R_{н}$, которое не нарушает нормальной работы триггера.

Чтобы наиболее полно оценить триггер по всем характеристикам, целесообразно рассмотреть работу триггера на транзисторах.

§ 3.2. Симметричный триггер на транзисторах

Схема триггера на транзисторах приведена на рис. 3.3. Триггер называется симметричным, если применяемые в нем транзисторы T_1 и T_2 одинаковые, и выполняются условия $R_{K1} = R_{K2}$, $C_1 = C_2$, $R_{C1} = R_{C2}$; $R_{\sigma 1} = R_{\sigma 2}$. Как видно из схемы, триггер представляет собой двухкаскадный усилитель, у которого вход соединен с выходом. Каскад часто называют плечом триггера, различая левое (или первое плечо - T_1 со всеми элементами) и правое или второе плечо (T_2 - со всеми элементами).



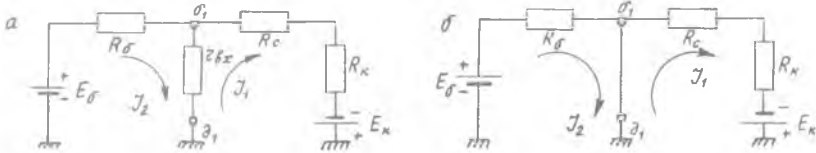
Р и с. 3.4

В схеме триггера в принципе возможно состояние равновесия, когда оба транзистора T_1 и T_2 открыты (или находятся в активной области), токи i_{K1} и i_{K2} равны друг другу, и все напряжения в схеме постоянны. Однако это состояние неустойчиво. Любое изменение токов и напряжений (за счет флуктуации или неабсолютной симметрии схемы) приведет к лавинообразному процессу нарастания тока одного транзистора и убывания тока другого. Например, увеличение коллекторного тока i_{K2} приведет к увеличению (уменьшению по абсолютной величине) коллекторного напряжения U_{K2} , которое, поступая на базу T_1 , приведет к уменьшению тока i_{K1} , (последнее вызовет уменьшение тока i_{K1}), т.е. к увеличению по абсолютной величине напряжения U_{K1} (в коллекторе T_1 будет иметь место отрицательный перепад напряжения). Этот отрицательный перепад напряжения, поступая на базу T_2 вызовет еще большее увеличение тока i_{K2} и т.д. Этот процесс будет продолжаться до тех пор, пока не прекратится действие положительной обратной связи, т.е. пока T_1 не закроется, или T_2 не пойдет в режим насыщения. Таким образом, устойчивым состоянием будет состояние, когда один из транзисторов закрыт, другой насыщен.

Это состояние (так называемое статическое) обеспечивается надлежащим выбором элементов схемы.

Статическое состояние

Условимся, что в статическом состоянии T_1 насыщен, T_2 заперт. Условие запертия T_2 . На рис. 3.4,а приведена эквивалентная схема базовой цепи T_2 .



Р и с. 3.5

Используя теорему Тевенина, преобразуем схему рис. 3.4,а к виду рис. 3.4,б, где

$$R_{экв} = \frac{R_{\delta} R_c}{R_{\delta} + R_c} \quad \text{и} \quad E_{экв} = \frac{(E_{\delta} + U_{кэ1 мин}) R_c}{R_{\delta} + R_c} + U_{кэ1 мин} \approx \frac{E_{\delta} R_c}{R_c + R_{\delta}}; \quad \text{т.к.} \quad U_{кэ1 мин} \ll E_{\delta}.$$

Из схемы видно, что $U_{бэ2} = E_{экв} - J_{к0} R_{экв}$.

Так как условие запертия транзистора выражается как $U_{бэ} > 0$, то имеем: $E_{экв} - J_{к0} R_{экв} > 0$. Подставляя сюда значения $E_{экв}$ и $R_{экв}$, получим окончательно

$$R_{\delta 1} \leq \frac{E_{\delta}}{J_{к0}}. \quad (3.1)$$

Так как режим запертия должен быть рассчитан на самый неблагоприятный случай, в выражении (3.1) $J_{к0}$ необходимо заменить на $J_{м.б}$, т.е.

$$R_{\delta} \leq \frac{E_{\delta}}{J_{м.б}}. \quad (3.2)$$

Это неравенство получается с некоторым запасом, так как оно не учитывает протекание части тепловой составляющей по резистору R_c .

Условие насыщения T_1 . На рис. 3.5,а приведена эквивалентная схема базовой цепи насыщенного транзистора T_1 . Так как $z_{бэ}$ насыщенного транзистора мало, $z_{бэ} \rightarrow 0$, то схему можно представить как (рис. 3.5,б).

Ток базы насыщенного транзистора состоит из двух составляющих $J_{\delta} = J_1 - J_2$.

Для насыщения транзистора необходимо выполнить условие

$$J_{\delta} > J_{\delta кр} = \frac{J_{кн}}{\beta} = \frac{E_k}{R_k \beta}. \quad (3.3)$$

Из схемы рис. 3.5,б имеем:

$$J_{\delta} = J_1 - J_2 = \frac{E_k}{R_c + R_k} - \frac{E_{\delta}}{R_{\delta}}.$$

и подставляя в (3.3) получим:

$$\frac{E_k}{R_c + R_k} - \frac{E_{\sigma}}{R_{\sigma}} > \frac{E_k}{R_k \beta} \quad (3.4)$$

Отсюда

$$R_c < R_k \left(1 + \beta \frac{E_{\sigma}}{E_k} \frac{R_k}{R_{\sigma}} - 1 \right) \quad (3.5)$$

Это неравенство определяет режим насыщения транзистора при уже выбранных значениях R_{σ} , E_{σ} , E_k , R_k и β .

Но, с другой стороны, разрешив неравенство (3.4) относительно R_{σ} получим

$$R_{\sigma} > \frac{E_{\sigma}}{E_k} \frac{1}{\frac{1}{R_c} - \frac{1}{\beta R_k}} \quad (3.6)$$

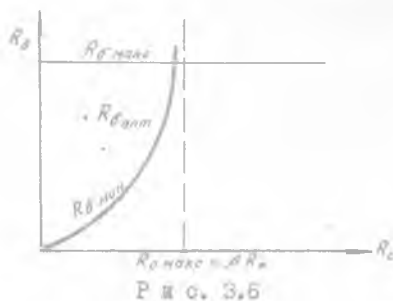
с учетом, что $R_k \ll R_c; \beta > 1$.

Из приведенных соображений видно, что обеспечение статического режима, т.е. режима запирающего одного транзистора и режима насыщения другого, накладывает противоречивые условия на величину резистора R_{σ} (сравнивая 3.2 и 3.6).

Одновременное решение этих неравенств существует и легко обеспечивается при условии $E_{\sigma} \approx (0,1 + 0,2) E_k$. На рис. 3.6 приведено графическое решение неравенства (3.2) и (3.6), дающее возможность оптимального выбора R_{σ} . Наконец, для обеспечения нормальной работы триггера необходимо выполнение

условия $K_0 > 1$, где K_0 - коэффициент усиления с учетом петли положительной обратной связи.

Обычно, если выполняются условия (3.1) и (3.6), то условие $K_0 > 1$ выполняется автоматически. Действительно, если пренебречь открытым сопротивлением транзистора, током J_{k2} и не учитывать зависимость параметров транзистора от режима,



Р и с. 3.6

можно приближенно записать:

$$\Delta U_{k1} = \beta \Delta U_{\sigma 1}; \quad \Delta U_{k2} = \frac{R_k}{R_c + R_k} \Delta U_{k1}$$

и коэффициент теплового усиления

$$K_0 = \left(\frac{\Delta U_{k2}}{\Delta U_{\sigma 1}} \right)^2 = \beta^2 \left(\frac{R_k}{R_c + R_k} \right)^2$$

Условие $K_0 > 1$ сводится к условию $\beta R_k > R_c + R_k$ или

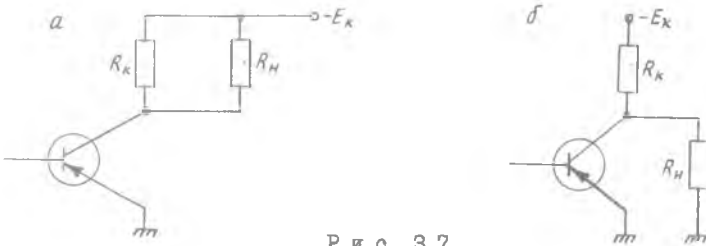
$$R_c < (\beta - 1) R_k \quad (3.7)$$

Очевидно, что если выполняется условие (3.5), то тем более будет выполнено условие (3.7).

Нагрузочная способность триггера

Возможны два варианта подключения нагрузки к плечу триггера (рис. 3.7).

При увеличении нагрузки, т.е. при уменьшении сопротивления резистора R_H наступит момент, когда триггер перестанет нормально функционировать. Обычно за момент прекращения работы триггера берут момент выхода насыщенного транзистора из насыщения.



Р и с. 3.7

Рассмотрим вариант *a*, когда нагрузка подключена параллельно R_K . Изменение R_H будет вызывать изменение тока коллектора насыщенного транзистора: при уменьшении R_H ток коллектора будет возрастать, ток базы этого (насыщенного) транзистора изменяться не будет. Следовательно, имеем

$$J_K = E_K \frac{R_K + R_H}{R_K R_H}, \quad \text{а } J_{\sigma} - \text{прежний.}$$

Пусть

$$N = \frac{J_{\sigma} - J_{\sigma_{кр}}}{J_{\sigma_{кр}}}, \quad \text{тогда } J_{\sigma} = (N+1) J_{\sigma_{кр}}.$$

Составляя условие насыщения транзистора с учетом $R_{H_{min}}$ будем иметь:

$$E_K \frac{R_K + R_{H_{min}}}{R_K R_{H_{min}}} = \beta \frac{E_K}{R_K \beta} (N+1)$$

и отсюда

$$R_{H_{min}} = \frac{R_K}{N}. \tag{3.8}$$

При подключении нагрузки по варианту *б* ток коллектора не будет зависеть от R_H . В этом случае будет изменяться (уменьшаться по абсолютной величине) потенциал коллектора закрытого транзистора, что приведет к уменьшению тока базы насыщенного транзистора и при $R_H = R_{H_{min}}$ к выходу его из насыщения. Применяя такую же методику, можно получить для значения $R_{H_{min}}$ по варианту *б* выражение, показывающее, что в этом случае $R_{H_{min}}$ получается несколько меньшим, чем по варианту *a*. Следовательно, выражение для $R_{H_{min}}$ (рис.3.8) справедливо для любого варианта.

Амплитуда выходных импульсов

Амплитуда U_m выходного перепада напряжения равна изменению напряжения на коллекторе транзистора в результате опрокидывания:

$$U_m = |U_{кзпл} - U_{кпас}|,$$

где $U_{кзпл}$ - коллекторное напряжение закрытого транзистора

$$U_{кзпл} = \frac{R_D}{R_C + R_K} (-E_K + J_{K0} R_K + U_{бнас});$$

$U_{бнас}$ - напряжение на базе насыщенного транзистора $U_{бнас} \approx 0$.
Следовательно, при $J_{K0} R_K \ll E_K$ имеем

$$U_m \approx \frac{R_D}{R_C + R_K} E_K.$$

Способы запуска триггера

В зависимости от функции, выполняемой триггером, применяют два способа его запуска: раздельный и общий (счетный). При раздельном запуске управляющие (запускающие) импульсы одной полярности поступают на входы (базы или коллекторы) транзисторов от двух разных источников, т.е. от одного источника импульсы запуска поступают на вход одного транзистора. Импульсы одного источника устанавливают триггер в одно из двух состояний равновесия. Если к приходу импульса триггер уже находился в этом состоянии, то оно не изменится, в этом случае говорят, что запускающий импульс подтверждает данное состояние триггера.

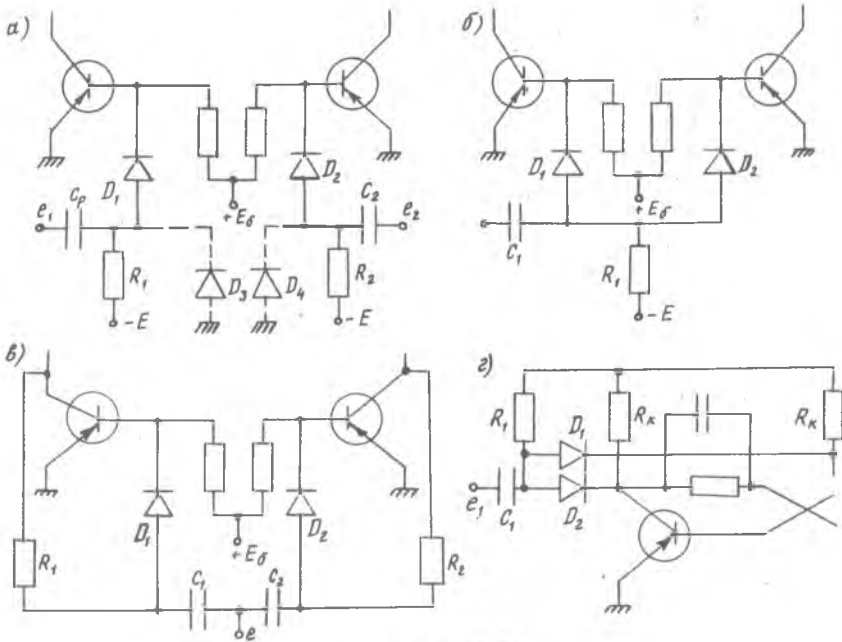
Импульсы второго источника устанавливают триггер в противоположное состояние.

При общем (или счётном) запуске управляющие импульсы поступают от одного генератора на один общий вход триггера, и при этом триггер должен срабатывать от каждого запускающего импульса, т.е. каждый импульс должен изменять состояние триггера на противоположное. Наряду с обычным счетным запуском применяется так называемый управляющий счетный запуск, при котором однополярные импульсы поступают от одного источника на общий вход триггера, но благодаря специальным управляющим схемам направляются поочередно на вход то одного, то другого транзистора, т.е. фактически имеет место режим раздельного запуска.

Общий запуск применяется при использовании триггера в качестве счетчика импульсов, а раздельный - при использовании триггера в качестве элемента памяти. Но обычно триггер в целях универсальности имеет и общий и раздельный входы.

Кроме того, в триггере различают запуск по месту подачи запускающего импульса: по базам и по коллекторам. Таким образом, возможны запуски триггера: общий по базам, общий по коллекторам, отдельный по базам, отдельный по коллекторам. Управляемый запуск чаще всего осуществляется по цепям базы.

На практике существует большое количество схемных реализаций цепей запуска, отвечающих конкретным требованиям, предъявляемым к ним. На рис. 3.8 приведены наиболее универсальные и часто встречающиеся схемы цепей запуска.



Р и с. 3.8

В целях повышения возможностей триггера входная цепь содержит дифференцирующую RC - цепь. Это дает возможность запускать триггер короткими импульсами (в этом случае цепь R, C , на рис. 3.8 выполняет роль разделительной). При подаче на вход потенциального перепада - ступеньки напряжения - фронт ступеньки будет продифференцирован, и на запуск триггера опять поступит короткий запускающий импульс. Если триггер запускается импульсом конечной длительности, то на его

входе появится отрицательный импульс от дифференцирования отрицательного фронта запускающего импульса. Что бы он не вызвал ложных срабатываний в цепях запуска ставятся диоды (D_1, D_2) не пропускающие импульсы отрицательной полярности. Часто в цепях запуска ставятся диоды D_3, D_4 (рис.3.8,а), которые закорачивают импульсы отрицательной полярности, в том числе и все отрицательные импульсы помехи, пришедшие по цепям запуска, на землю. Все схемы рис. 3.8 выполнены для случая запуска триггера импульсами положительной полярности.

Переходные процессы в триггере при раздельном запуске

Переключение триггера запускающим импульсом происходит не мгновенно, а в течение конечного времени вследствие инерционности транзисторов и наличия паразитных емкостей. Характер и длительность переходного процесса переключения зависят от параметров и структуры схемы триггера, а также от способа запуска (раздельного или общего), схемы цепи запуска, формы, амплитуды и длительности запускающих импульсов.

Исследование переходного процесса в различных режимах переключения триггера является задачей сложной и громоздкой. Поэтому мы рассмотрим лишь некоторые случаи при упрощающих предположениях, позволяющие определить роль основных параметров и получить приближенные количественные соотношения для оценки на практике быстродействия триггера.

Рассмотрим случай раздельного запуска. Условимся считать, что до прихода запускающего импульса T_1 (рис.3.4) был насыщен, а T_2 - заперт. Будем считать, что в базу T_1 поступает импульс тока $J_{\delta x}$ прямоугольной формы и что имеет место "сильный сигнал", т.е.

$$J_{\delta x} \approx J_{KH} = \frac{E_K}{R_K}$$

Весь процесс опрокидывания можно разбить на следующие стадии (рис. 3.9):

рассасывание ($t_p = t_1 - t_0$);

подготовка ($t_n = t_2 - t_1$);

регенерация ($t_{рег} = t_3 - t_2$);

формирование положительного фронта ($t_{\varphi^+} = t_4 - t_3$);

формирование отрицательного фронта ($t_{\varphi^-} = t_5 - t_4$);

динамическое смещение ($t_{g.c} = t_6 - t_4$).

Рассмотрим более подробно каждую стадию, и выразим их длительность через известные параметры схемы и транзистора.

Стадия рассасывания. Она начинается с момента подачи запускающего импульса и заканчивается моментом выхода T_1 из насыщения. T_2 на этой стадии закрыт.

Так как T_1 в этом случае можно рассматривать как ключ с ОЭ, переключаемый из режима насыщения в режим запертия " сильным сигналом", то, очевидно, будет справедлива формула (I.23), т.е.

$$\begin{aligned} t_p &= \frac{\tau}{\beta} \frac{N J_{KH}}{\Delta J_{\sigma}} \\ \text{Так как } \Delta J_{\sigma} &= J_{\sigma 1} - J_{\sigma 2}, \text{ а } J_{\sigma 2} \approx J_{KH} \gg J_{\sigma 1}, \text{ то имеем} \\ t_p &\approx \frac{\tau}{\beta} N \approx \tau_{\alpha} N. \end{aligned} \quad (3.9)$$

Стадия подготовки. Начало этой стадии t_n определяется моментом выхода T_1 из насыщения и заканчивается она в тот момент, когда откроется T_2 . Так как на стадии t_n транзистор T_1 находится уже в активной области, то ток коллектора убывает под воздействием управляющего тока базы. В коллекторе T_1 формируется отрицательный скачок $\Delta U_{K1} = \Delta i_{K1} R_K$. Предположив, что емкость C достаточно большая, будем считать, что весь этот скачок ΔU_{K1} передается в базу T_2 и компенсирует там потенциал $U_{\sigma 3} \approx E_{\sigma}$ (для простоты пренебрегаем тепловой составляющей J_{K02}).

Таким образом, при наступлении равенства $\Delta U_{K1} = E_{\sigma}$ T_2 откроется.

В [3], [5] приводится подробный анализ всех стадий. В частности для стадии t_n дается приближенное выражение .

$$\begin{aligned} t_n &\approx \tau_{\alpha} \frac{E_{\sigma}}{J_{\beta x} R_K} \\ \text{так как мы положили, что } J_{\beta x} &\approx J_{KH}, \text{ то } J_{\beta x} R_K \approx J_{KH} R_K = E_K \\ \text{и, следовательно,} \\ t_n &\approx \tau_{\alpha} \frac{E_{\sigma}}{E_K}. \end{aligned} \quad (3.10)$$

Отсюда следует, что величину E_{σ} надо уменьшать. Минимальная величина E_{σ} определяется величиной падения напряжения на сопротивлении базы R_{σ} в закрытом транзисторе от тепловой составляющей J_{K0} (см. 1.5), т.е. $E_{\sigma \min} = J_{m\beta} R_{\sigma}$. Обычно полагают, что $E_{\sigma} \approx (0,1 - 0,2) E_K$, следовательно

$$t_n \approx (0,1 - 0,2) \tau_{\alpha}. \quad (3.11)$$

Стадия регенерации. На этой стадии оба транзистора находятся в активной области. Петлевой коэффициент усиления $K_{\sigma} > 1$; идет лавинообразный процесс опрокидывания триггера. Эта стадия закончится, когда $K_{\sigma} \leq 1$, т.е. когда разорвется петля положительной обратной связи. А это возможно, если один из транзисторов или зайдет в режим насыщения, или закроется. Стадия регенерации одна из слож-

ных стадий для анализа. При принятых нами допущениях ($I_{BX} \approx I_{KH}$, и ускоряющие емкости велики), можно показать [3], [6], что стадия регенерации может быть оценена $t_D \approx \tau_c$.

Стадия формирования положительного фронта. Процесс формирования t_φ^+ есть процесс установления напряжения в коллекторе T_2 от значения $-E_K$ (T_2 был заперт) до значения $U_{KЭ2\text{млн}} \approx 0$ (T_2 теперь насыщен). Очевидно, что t_φ^+ будет тем меньше, чем больше будет ток $i_{\sigma 2}$ к моменту окончания опрокидывания, т.е. к моменту t_3 (см. рис.3.9). А это, в свою очередь, будет определяться величиной ускоряющей емкости: чем больше C , тем скорее успеет за время регенерации нарасти ток $i_{\sigma 2}(t_3)$. Следовательно, будет иметь место зависимость

$$t_\varphi^+ \approx f\left(\frac{1}{C}\right) \quad (3.13)$$

В [3] приводится выражение для t_φ^+ в виде

$$t_\varphi^+ = \tau_c \ln \frac{1}{1 - \frac{E_K}{E_\sigma} \frac{1}{1 - E_K}} \quad (3.14)$$

где $\tau_c = C(R_K \parallel R_C) \approx CR_K$, так как $R_K \ll R_C$

Если считать, что $E_\sigma \approx 0,1E_K$, то (3.14) можно представить в виде

$$t_\varphi^+ \approx \tau_c \ln \frac{\tau_c}{\tau_c - \tau_\alpha}$$

то есть при увеличении ускоряющей емкости C время формирования t_φ^+ уменьшается.

Стадия формирования отрицательного фронта. На этой стадии идет установление напряжения в коллекторе транзистора T_1 от уровня $U_{KЭ1\text{млн}}$ до уровня $-E_K$ (транзистор T_1 закрыт). Этот процесс обусловлен зарядом конденсатора C с постоянной времени $\tau_c \approx R_K C$. Считая, что процесс закончится через три постоянных времени цепи заряда, получим

$$t_\varphi^- \approx 3\tau_c = 3CR_K \quad (3.15)$$

Процесс установления напряжения на коллекторе T_1 происходит по закону [3].

$$U_{K1}(t) = -E_K + (E_K - U_{\sigma 1}) e^{-\frac{t}{\tau_c}}$$

так как $U_{\sigma 1} \approx E_\sigma$, и учитывая (4-15), можем получить

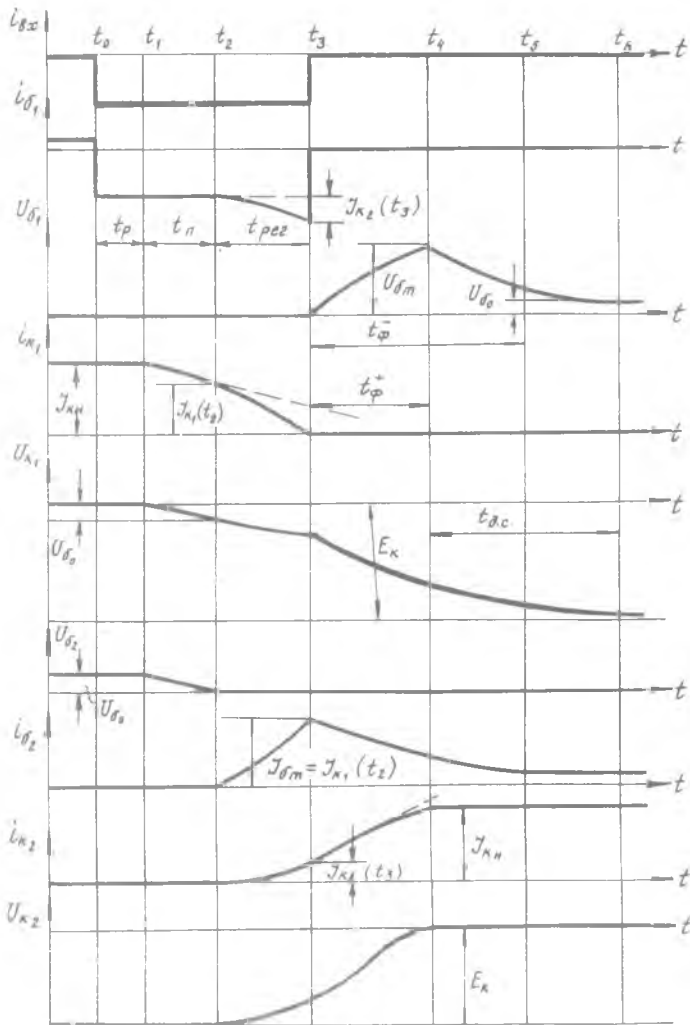
$$\text{откуда} \quad 0,95 E_K = -E_K + (E_K - E_\sigma) e^{-\frac{t_\varphi^-}{\tau_c}}$$

$$t_\varphi^- = \tau_c \ln 20 \left(1 - \frac{E_\sigma}{E_K}\right) \quad (3.16)$$

На этом процесс восстановления в триггере не заканчивается.

Ранее заряженная ускоряющая емкость в коллекторе T_2 до величины $U_C = E_K$ начнет разряжаться с постоянной времени

$$T_{разр} = C(R_C \parallel R_\sigma) = C \frac{R_C R_\sigma}{R_C + R_\sigma}$$



Р и с.3.9

Длительность разряда равна

$$t_{g.c} = 3C \frac{R_c R_f}{R_c + R_f} \quad (3.17)$$

Это и есть стадия динамического смещения.

Таким образом, мы видим, что ускоряющие емкости по-разному влияют на длительность фронтов:

$$t_{\varphi}^{\sim} \approx f\left(\frac{1}{C}\right), \text{ а } t_{\varphi}^{\sim} \approx f(C).$$

Оптимальное значение ускоряющей емкости C , очевидно, может быть найдено из условия $t_{\varphi}^{\sim} = t_{\varphi}^{\sim}$. Но при этом стадия динамического смещения в интервал формирования фронтов "не укладывается".

Чтобы учесть все эти три стадии (t_{φ}^{\sim} , t_{φ} , $t_{g.c}$), необходимо определить оптимальное значение ускоряющей емкости из условия

$$2t_{\varphi}^{\sim} = t_{\varphi}^{\sim} \quad (3.18)$$

Подставим в (3.18) значения t_{φ}^{\sim} и t_{φ} .

$$2\tau_c \ln \frac{1}{1 - \frac{E_c}{E_k}} = \tau_c \ln 20 \left(1 - \frac{E_c}{E_k}\right)$$

Пологая $E_c \approx 0,2 E_k$, получим $\tau_{c \text{ opt}} = (CR_k)_{\text{opt}} \approx 2\tau_c$.

Тогда $t_{\varphi}^{\sim} \approx 3\tau_{c \text{ opt}} \approx 6\tau_c$

Просуммируем полученные результаты по всем стадиям:

$$T_{\text{min}} = T_{\text{разр}} = t_p + t_n + t_{\text{рег}} + t_{\varphi}^{\sim} = N\tau_c + 0,1\tau_c + \tau_c + 6\tau_c = (N+7)\tau_c.$$

Следовательно $F_{\text{max}} = \frac{2\pi}{N+7} \tau$

Например, при $N = 1 - 3$, $T_{\text{min}} = 10\tau_c$ и $F_{\text{max}} = 0,6 f_{\alpha}$.

Однако у транзисторов имеет место большой разброс параметров, в том числе и по коэффициенту усиления β . Так для партии транзисторов с $\beta > 15$ можно найти транзистор, у которого $\beta = 90$.

В этом случае окажется, что степень насыщения одного из транзисторов триггера может достигать величины $N = 10 - 20$. При этом

$$T_{\text{min}} \approx (17 - 27)\tau_c \text{ и}$$

$$F_{\text{max}} \approx (0,2 \div 0,3) f_{\alpha} \quad (3.19)$$

Эта формула позволяет сделать выбор транзисторов для триггера с заданным быстродействием, рассчитана на худший случай и служит частотным критерием выбора типа транзисторов для триггера. В случае применения в триггере дрейфовых транзисторов полученные результаты останутся справедливыми, если только учесть влияние барьерной емкости C_k коллекторного перехода путем замены τ_c на величину $\tau_{k, \text{ эл}} = \tau_c + C_k R_k$. Необходимо также отметить, что ускоряющие емкости, кроме всего изложенного выше, выполняют еще и функции элементов па-

мости. Это особенно важно при работе триггера в счетном режиме, когда длительность запускающего импульса может оказаться такой, что он заканчивается на стадии регенерации, когда оба транзистора находятся в активной области. При отсутствии ускоряющих емкостей триггер может вернуться в исходное состояние (т.е. опрокидывания не произойдет). При наличии же емкостей триггер будет "знать", в какое состояние ему надо идти, так как емкости до этого несли различные потенциалы (одна - близкий к нулю, другая - близкий к E_K). Следовательно, токи в базах транзисторов будут неодинаковыми, и это предопределяет правильное опрокидывание сразу по окончании запускающего импульса.

Анализ переходных процессов при переключении триггера показывает, что основными методами повышения быстродействия триггеров являются:

- применение высокочастотных импульсных транзисторов;
- устранение (или уменьшение) запаздывания, обусловленного расщеплением неосновных носителей в базе насыщенного транзистора (применение ненасыщенных ключей);
- уменьшение времени установления напряжений на коллекторах и ускоряющих конденсаторах (например, с помощью эмиттерных повторителей);
- применение различных способов управляемого и сформированного способов.

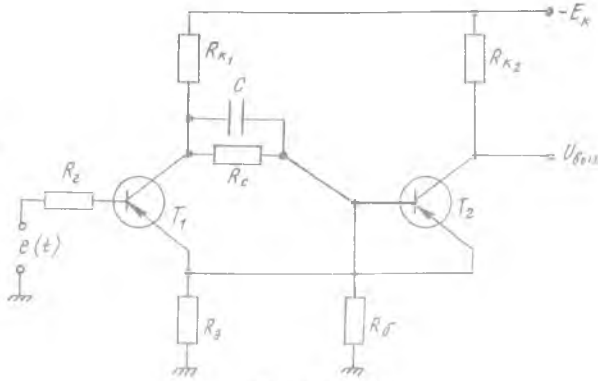
Применение вышеперечисленных методов позволяет довести быстродействие триггеров на транзисторах до 5-7 МГц.

§ 3.3. Несимметричные триггеры на транзисторах

В импульсных устройствах для формирования напряжения прямоугольной формы и в качестве порогового (или сравнивающего) устройства широко применяются несимметричные триггеры. Среди них наибольшее распространение получили триггеры, в которых прямая связь между каскадами осуществляется с помощью резисторного делителя, а обратная связь подается через общий электрод. К несимметричным триггерам такого типа относятся триггер с эмиттерной связью, известный также как триггер Шмитта. Схема такого триггера приведена на рис.3.10.

Она отличается от схемы симметричного триггера прежде всего тем, что одна коллекторно-базовая связь R_C, R_B заменена связью, образуемой общим эмиттерным сопротивлением R_3 . В результате коллектор транзистора T_2 оказывается непосредственно не связанным с элемен-

тами цепи обратной связи, и поэтому при подключении нагрузки к коллектору T_2 последняя практически не влияет на работу триггера. Кроме того, в коллекторе T_2 можно ожидать большую крутизну перепадов



Р и с. 3.10

напряжения. С другой стороны, база транзистора T_1 также изолирована от цепи положительной обратной связи и служит наиболее удобной точкой подачи входного управляющего напряжения.

Триггер с эмиттерной связью имеет два устойчивых состояния: в одном T_1 заперт, T_2 насыщен (исходное состояние), в другом — наоборот: T_1 насыщен, T_2 заперт. Переход триггера из одного состояния в другое осуществляется скачком всякий раз, когда управляющее напряжение $e(t)$ достигает пороговых уровней срабатывания ε_1 и ε_2 . Если, например, в исходном состоянии T_1 закрыт, T_2 насыщен, то при $e(t) = \varepsilon_1$ (рис. 3.11) T_1 отпирается, восстанавливается петля положительной обратной связи, и возникает регенеративный лавинообразный процесс, который завершается запирающим транзистора T_2 .

Через резистор R_3 осуществляется не только положительная обратная связь T_2 с T_1 , но и отрицательная обратная связь по току в самом каскаде транзистора T_1 . Однако в процессе опрокидывания определяющей является положительная обратная связь.

На рис. 3.11, а, б приведены диаграммы напряжений для двух случаев применения триггера с эмиттерной связью. Как видно из рисунка триггер с эмиттерной связью применяется в качестве пороговых устройств, реагирующих на определенный уровень пускового сигнала. С этой точки зрения их часто называют различителями или дискриминаторами амплитуд. На рис. 3.11, б показаны диаграммы, иллюстрирующие работу

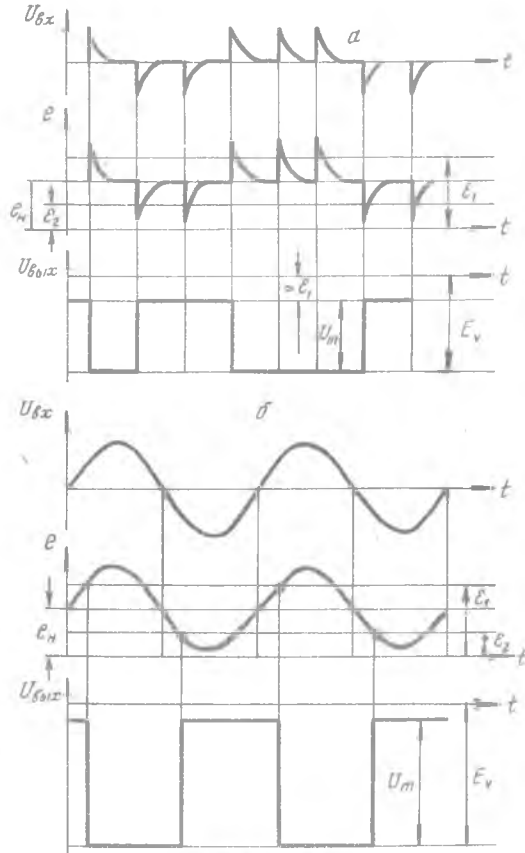
триггера в качестве формирователя импульсов из синусоидального (в принципе произвольной формы) напряжения.

§ 3.4. Триггеры на полевых транзисторах

Простейшая схема симметричного триггера на полевых транзисторах с индуцированным p -каналом приведена на рис. 3.12,а.

Триггер, по существу, представляет собой два ключа с нелинейной нагрузкой (см. гл. I). Здесь транзисторы T_1 и T_2 - коммутирующие, а транзисторы T_{H1} и T_{H2} - нагрузочные. При этом выход каждого ключа соединен непосредственно со входом другого. Последнее оказывается возможным благодаря особенностям входных характеристик полевых транзисторов с индуцированными каналами. Действительно, при открытом, например, транзисторе T_1 падение напряжения на нем может быть легко сделано меньшим по абсолютной величине потенциала отпирания T_2 .

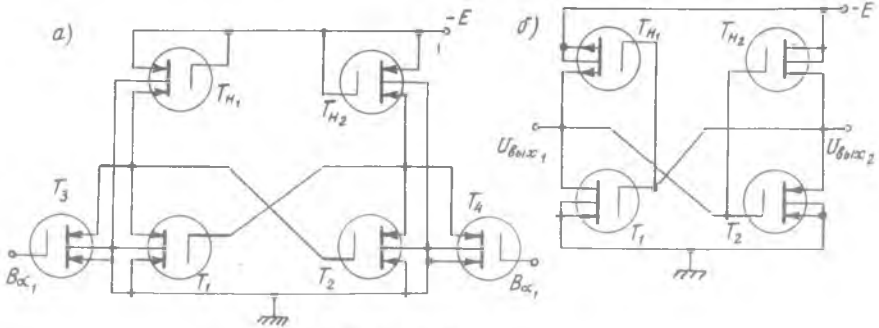
Раздельный запуск рассматриваемого триггера может быть осуществлен подачей импульсов



Р и с. 3.11

отрицательной полярности на дополнительные транзисторы T_3 , T_4 , подключаемые параллельно коммутируемым. Так как величина перепадов напряжения на затворах и стоках рассматриваемой схемы в отличие от

схемы на биполярных транзисторах, оказывается весьма значительной (единицы вольт), то здесь возможно применить обычный раздельный запуск через разделительные цепи и отсекающие диоды (аналогично рис. 3.8,а). Организация счетного запуска здесь затруднена из-за отсутствия запоминающих элементов (ускоряющих конденсаторов).



Р и с. 3.12

Особый интерес представляет триггер на полевых транзисторах с разными пинами каналов, схема которого приведена на рис. 3.12,б.

Такой триггер представляет собой два замкнутых в петлю положительной обратной связи ключа на полевых транзисторах с разными типами каналов.

Как показано в гл. I при подаче входного сигнала одновременно на затворы как коммутирующего, так и нагрузочного транзисторов, один из указанных транзисторов всегда оказывается в закрытом состоянии.

Так, в схеме рис.3.12,б в одном из состояний равновесия транзистор T_1 закрыт, а T_{H1} открыт. При этом на выходе левого ключа имеет место низкий потенциал $U_{вых1}$, подаваемый на затворы правого плеча. Это обеспечивает открытое состояние T_2 и закрытое T_{H2} . Потенциал $U_{вых2}$ оказывается при этом высоким, что, в свою очередь, обеспечивает закрытое состояние T_1 и открытое T_{H1} . В другом состоянии равновесия триггера, очевидно, транзисторы T_1 и T_{H2} будут открыты, а транзисторы T_2 и T_{H1} закрыты.

Таким образом, в любом из статических состояний триггера пути для протекания токов в обоих плечах триггера оказываются практически разорванными, и поэтому при работе на холостом ходу триггер не потребляет значительного тока. Однако во время опрокидывания триггера выходные паразитные емкости заряжаются от источника E через

открытие T_{H1} или T_{H2} . То есть, данный триггер потребляет ток от источника лишь в процессе опрокидывания.

Рассматриваемый триггер помимо высокой экономичности обеспечивает также и быстрый перезаряд паразитных емкостей через малые сопротивления открытых транзисторов. Это свойство схем на полевых транзисторах обеспечивает высокое быстродействие триггера.

§ 3.5. Триггеры в интегральном исполнении

В предыдущих параграфах данной главы были рассмотрены потенциальные триггеры, представляющие собой двухкаскадные усилители, замкнутые в петлю положительной обратной связи. При этом основное внимание уделялось вопросам чисто схемного характера, улучшающим показатели триггера (такие как быстродействие, нагрузочная способность, схемы запуска). Из изложенного материала видно, что триггер представляет собой два усилителя-инвертора, охваченных положительной обратной связью. Следовательно, с информационной точки зрения реализация триггера может быть представлена как соединение двух логических элементов ИЛИ-НЕ (или И-НЕ) таким образом, чтобы имело место условие $K_p > 1$, где K_p - коэффициент усиления в петле положительной обратной связи. Это обстоятельство и предопределило широкое распространение триггеров, выполненных на ИС. Так как триггер может быть представлен в виде соединения собственно триггера и схемы управления (рис.3.2), то большое разнообразие схем и обуславливает большое число триггеров, отличающихся видом реализуемой логической функцией.

ГОСТ 2.743-72 и Единая Система Конструкторской Документации (ЕСКД) утвердили следующие обозначения логических элементов и триггеров:

символ & - (энд) - означает функции "И";

символ I - функцию "ИЛИ";

инверсия обозначается кружком на выходе устройства (рис.3.13).

Триггер обозначается прямоугольником с вписанной буквой Т (триггер), имеющим два выхода - прямой Q и инверсный \bar{Q} и соответствующий вход (или входы) (рис. 3.14).

Наибольшее распространение получили триггеры следующих типов:

RS - триггер,

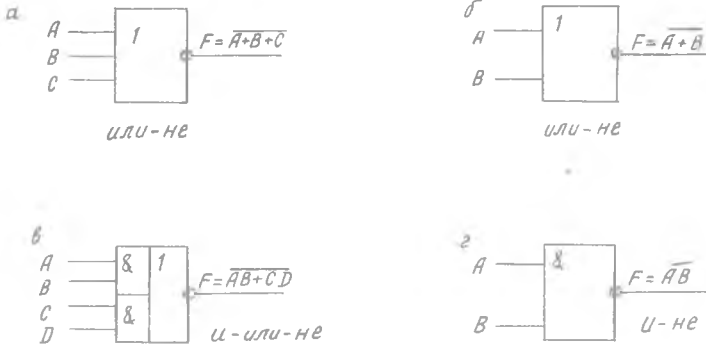
D - триггер,

T - триггер

TV - триггер.

DV - триггер, *JK* - триггер и ряд других типов. Рассмотрим эти типы более подробно.

Триггер *RS* - типа - логическое устройство с двумя устойчивыми



Р и с. 3.13



Р и с. 3.14

состояниями, имеющие два информационных входа *R* - (*Reset* - восстанавливать) и *S* - (*set* - устанавливать) такие, что при *S* = 1 и *R* = 0 триггер принимает состояние "1" (*Q* = 1), а при *R* = 1 и *S* = 0 триггер принимает состояние 0 (*Q* = 0).

Таким образом, *S* - единичный вход, *R* - нулевой. Закон функционирования триггера *R-S* приведен в табл. 3.1.

Т а б л и ц а 3.1

t^n			t^{n+1}	t^n			t^{n+1}
Q^n	R^n	S^n	Q^{n+1}	Q^n	R^n	S^n	Q^{n+1}
0	0	0	0	1	0	1	1
0	0	1	1	1	0	0	1
0	1	0	0	1	1	0	0
0	1	1	X	1	1	1	X

В таблице применены следующие обозначения:

t^n - момент времени до поступления запускающего импульса (до опрокидывания);

t^{n+1} - момент времени после опрокидывания;

Q^n - состояние триггера по основному выходу до опрокидывания в момент t^n ;

Q^{n+1} - состояние триггера после опрокидывания (после t^{n+1});

X - неопределенное состояние.

Как видно из таблицы, состояние RS триггера не изменится, т.е. $Q^{n+1} = Q^n$, если на обоих входах триггера действуют сигналы с уровнем логического нуля.

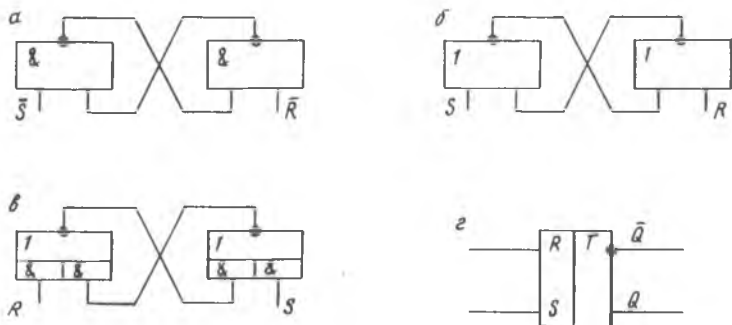
При $R = 0$ и $S = 1$ происходит подтверждение предшествующего состояния, если триггер находился в состоянии $Q = 1$ и переброс в противоположное, если триггер находился в состоянии $Q = 0$. При $R = 1$ и $S = 1$ триггер находится в неопределенном состоянии, т.е. комбинация $RS = 1$ для этого триггера должна быть исключена. Для R - S триггера, таким образом, можно написать логическое уравнение

$$Q^{n+1} = S^n + \bar{R}^n Q^n; \quad R^n S^n = 0$$

или

$$Q^n = S^n + \bar{R}^n Q^{n-1}$$

На рис. 3.15 приведены практические схемы R - S -триггера, выполненного на элементах И-НЕ (рис.3.15,а), ИЛИ-НЕ (рис. 3.15,б),И-ИЛИ-НЕ (рис. 3.15,г), а не рис. 3.15,г - обозначение R - S триггера.



Р ис. 3.15

При проектировании триггеров на ИС кроме знания логической функции, выполняемой триггером, необходимо знать и ряд других схемных параметров, о которых шла речь в § 3.2, т.е. нагрузочную способность, коэффициент объединения по входу, быстродействие, задержку переключения триггера, рабочую и максимальную частоту. Все эти параметры триггера полностью определяются параметрами логических элементов, на которых выполнен триггер.

Задержка переключения триггера составит сумму задержек переключения логических элементов, на которых выполнен триггер, т.е.

$$t_r = t_{10} + t_{01} = 2t_{cp} \text{ (см. § 1-6).}$$

Для устойчивого функционирования триггера на ИС длительность сигнала, действующего на его вход, должна быть не меньше суммарной задержки обоих плеч триггера, т.е. $t_{устан} \geq 2t_{cp}$.

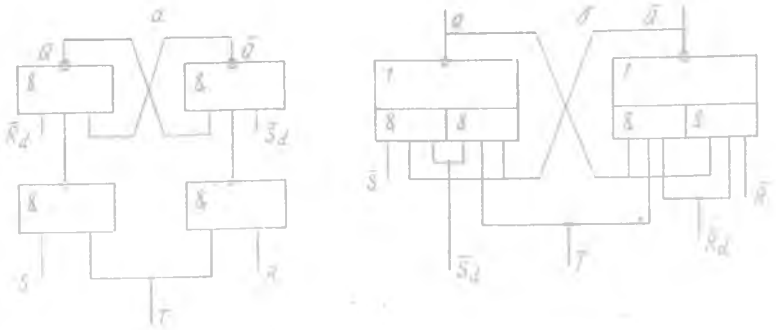
Максимальная частота отсчета определится как

$$F_{max} = \frac{1}{2t_{cp}}$$

Но для надежного срабатывания триггера (чтобы все потенциалы на выходах Q и \bar{Q} успели установиться) часто берут следующее условие быстрействия:

$$F_{max} = \frac{1}{3t_{cp}}$$

Согласно классификации (§ 3.1) $R-S$ триггеры могут быть синхронными (тактируемыми). На рис. 3.16 приведены схемы синхронных $R-S$ триггеров на элементах И-НЕ (рис. 3.16,а) и на элементах И-ИЛИ-НЕ (рис. 3.16,б).



Р и с. 3.16

На рис. 3.16, а,б входы $S_d(\bar{S}_d)$ и $R_d(\bar{R}_d)$ обозначают входы непосредственной установки триггера в 1 и 0.

D - триггер (так называемый триггер задержки) - это логическое устройство с двумя устойчивыми состояниями и одним информационным входом D . Закон функционирования D - триггера приведен в табл. 3.2 и описывается логическим уравнением $Q^{n+1} = D^n$. Уравнение показывает, что состояние D - триггера в момент времени t^{n+1} совпадает с кодом входного сигнала, действующего в момент времени t^n , т.е. D - триггер осуществляет задержку входного сигнала.

Т а б л и ц а 3.2

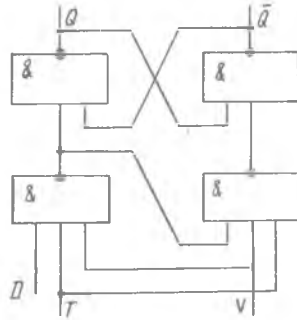
t^n	t^{n+1}
D^n	Q^{n+1}
0	0
1	1

Триггером $D-V$ -типа называют тактируемый (синхронный) D - триггер с дополнительным информационным входом V ,

который при $V = 1$ функционирует аналогично, D - триггеру, а при $V = 0$ сохраняет исходное состояние независимо от изменения информации на входе D . Закон функционирования D - V - триггера приведен в табл. 3.3 и описывается логическим уравнением $Q^{n+1} = D^n V^n + Q^n \bar{V}^n$. Схема трактруемого DV - триггера приведена на рис. 3.17.

Т а б л и ц а 3.3

t^n		t^{n+1}
V^n	D^n	Q^{n+1}
0	0	Q^n
0	1	Q^n
1	0	0
1	1	1



Р и с. 3.17

S - триггер - логическое устройство с двумя устойчивыми состояниями и двумя информационными входами R и S , которое при комбинации $RS = 1$ принимает единичное состояние, а при всех остальных комбинациях входных сигналов функционирует как R - S - триггер. Его уравнение $Q^{n+1} = S^n \bar{R}^n Q^n$.

Закон функционирования приведен в табл. 3.4 .

Т а б л и ц а 3.4

t^n		t^{n+1}
S^n	R^n	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	1

Т а б л и ц а 3.5

t^n		t^{n+1}
R^n	S^n	Q^{n+1}
0	0	Q^n
1	0	0
0	1	1
1	1	0

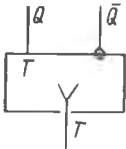
R - триггер - логическое устройство с двумя информационными входами R и S . При $SR = 1$ триггер принимает нулевое состояние, а при всех остальных комбинациях входных сигналов функционирует как R - S - триггер. Закон его функционирования приведен в табл. 3.5 и описывается уравнением $Q^{n+1} = \bar{R}^n S^n + \bar{R}^n Q^n$.

T - триггер-счетный триггер - логическое устройство с двумя устойчивыми состояниями и одним входом T , изменяющее свое состояние всякий

раз, когда на вход T поступает сигнал. Поведение триггера T - типа описывается табл. 3.6 и логическим уравнением

$$Q^{n+1} = \bar{T}^n Q^n + T^n Q^n.$$

Обозначение T - триггера приведено на рис. 3.18.



Р и с. 3.18

Т а б л и ц а 3.6

t^n	t^{n+1}
T^n	Q^{n+1}
1	\bar{Q}^n
0	Q^n

$T-V$ - триггер - логическое устройство с двумя устойчивыми состояниями, счетным входом T и дополнительным входом V таким, что при $V = 1$ триггер выполняет функцию счетного триггера, а при $V = 0$ его состояние не изменяется даже при поступлении сигналов на счетный вход, т.е. это тактируемый счетный триггер. Его уравнение имеет вид

$$Q^{n+1} = (\bar{T}^n Q^n + T^n \bar{Q}^n) V^n + Q^n \bar{V}^n.$$

$R-S-T$ - триггер представляет собой счетный триггер T - типа с раздельной установкой R и S . Это комбинация T - триггера и $R-S$ - триггера. Его логическое уравнение имеет вид

$$Q^{n+1} = S^n + T^n \bar{Q}^n + \bar{R}^n T^n Q^n.$$

$J-K$ - триггер устройство с двумя устойчивыми состояниями и двумя входами J и K , которое при условии $JK = 1$ осуществляет инверсию предыдущего состояния (т.е. при $JK = 1, Q^{n+1} = \bar{Q}^n$), а в остальных случаях функционирует как $R-S$ - триггер, при этом вход J эквивалентен входу S , а вход K - входу R . Поведение $J-K$ триггера отражено в табл. 3.7 и описывается логическим уравнением

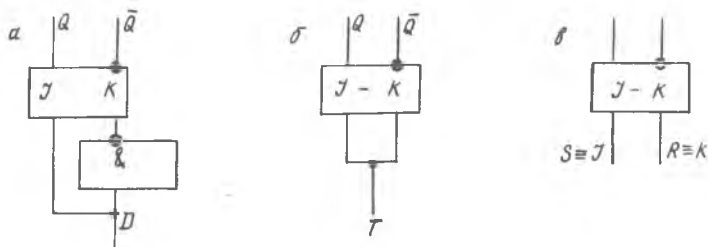
$$Q^{n+1} = \bar{K}^n Q^n + J^n \bar{Q}^n.$$

Т а б л и ц а 3.7

t^n		t^{n+1}
J^n	K^n	Q^{n+1}
0	0	Q^n
0	1	0
1	0	1
1	1	\bar{Q}^n

Триггер $J-K$ типа относится к разряду универсальных триггеров, так как на его основе, изменяя коммутацию управляющего устройства, можно получить практически все схемы рассмотренных триггеров (рис.3.19).

На рис.3.19 приведены возможные варианты построения на основе $J-K$ триггера триггеров другого типа: D - триггера (рис.3.19,а), T - триггера (рис. 3.19,б) и $R-S$ - триггера (рис. 3.19,в). Триггер в интегральном исполнении представляет собой модуль, в



Р и с. 3.19

который, кроме собственно триггера, входит и логическая схема, управляющая входами триггера. В большинстве случаев триггеры делаются синхронизируемыми. Это повышает функциональные возможности триггеров и сокращает число модулей в том или ином устройстве.

Л и т е р а т у р а

1. Б у к р е е в И.Н. и др. Микроэлектронные схемы цифровых устройств. М., " Сов. радио", 1975.
2. К о г а н Б.М., К а н е в с к и й М.М. Цифровые вычислительные машины и системы. М., "Энергия", 1970.
3. Г о л ь д е н б е р г Л.М. Импульсные и цифровые устройства. М., " Связь", 1973.
4. Ф р о л к и н В.Т. Импульсные устройства. М., " Машиностроение", 1966.
5. К о н о н о в Б.Я. Симметричные триггеры на плоскостных полупроводниковых приборах. Госэнергоиздат, 1960.
6. С т е п а н е н к о И.П. Основы теории транзисторов и транзисторных схем. М., "Энергия", 1967.

СО Д Е Р Ж А Н И Е

Г л а в а I. Электронные ключи	
§ I.1. Особенности ключевого режима работы биполярных и униполярных транзисторов	
§ I.2. Электронные ключи на биполярных тран- зисторах	
§ I.3. Электрические ключи на полевых тран- зисторах	
§ I.4. Электронные ключи на интегральных схе- мах (ИС)	
Г л а в а II. Потенциальные логические и аналоговые элементы импульсных устройств	
§ 2.1. Основные характеристики логических элементов	
§ 2.2. Интегральные схемы одноступенчатой логики	
§ 2.3. Интегральные схемы двухступенчатой логики	
§ 2.4. Логические схемы на полевых транзи- сторах	
§ 2.5. Аналоговые интегральные схемы	
Г л а в а III. Триггеры	
§ 3.1. Общие сведения о триггерах	
§ 3.2. Симметричный триггер на транзисторах	
§ 3.3. Несимметричные триггеры на транзисто- рах	
§ 3.4. Триггеры на полевых транзисторах	
§ 3.5. Триггеры в интегральном исполнении	
Л и т е р а т у р а	

Николай Евгеньевич Коныхов,
Николай Иванович Филимонов,
Евгений Алексеевич Муштаков

ЭЛЕМЕНТЫ ИМПУЛЬСНЫХ УСТРОЙСТВ

Учебное пособие

Редактор Н.В.К а с а т к и н а

Техн. редактор Н.М.К а л е н ю к

Корректор Л.М. А н д р о с о в а

ЕО 03173. Подписано в печать 16/II-77 г.
Формат 60x84 I/I6. Физ.печ.л. 4,75. Усл.печ.л. 4,42.
Уч.-изд.л. 4,24. Тираж 1000 экз. Цена 21 коп.
Темплан 1977, поз. 2389.

Куйбышевский авиационный институт им. С.П.Королева,
г. Куйбышев, ул. Молодогвардейская, 151.

Областная типография имени В.П.Мяги, г. Куйбышев,
ул. Венцека, 60. Заказ № 828